

Моделирование и оптимизация системы арбитража для протокола PCI Express

К.В. Иванов, Н.С. Васяева

Поволжский государственный технологический университет

Протокол PCI Express стремительно развивается, и PCI Express используется уже не только как внутрисистемная шина, но и как средство коммуникации в кластерных вычислительных системах. Производительность такой системы зависит от многих факторов, одним из которых является организация системы арбитража между портами коммутатора PCI Express.

Целью настоящей работы является исследование системы арбитража входных потоков данных, которая используется в многопортовых коммутаторах PCI Express, для выявления потенциальных возможностей увеличения пропускной способности этих устройств. Этот вопрос является актуальным, поскольку скорость передачи данных по шине PCI Express достаточно высока и может достигать 128 Гбит/с для 16 канальной реализации шины.

Объектом исследований являются алгоритмы арбитража портов и арбитража виртуальных каналов, описанные в спецификации протокола PCI Express 3.0 [1]. Описания практических реализаций системы арбитража производителями закрыты, поэтому за основу был взят именно алгоритм, а не конкретное схемотехническое решение. В качестве метода исследований было выбрано имитационное моделирование алгоритмов арбитража, в процессе которого были получены основные временные характеристики арбитра на всех его стадиях.

Система арбитража PCI Express двухступенчатая, при этом первая ступень решает задачу обеспечения доступа потокам пакетов с разных входных портов, а вторая ступень решает задачу распределения потоков с учетом приоритетов. Такая организация является избыточной, что подчеркивается самими авторами спецификации [1], поскольку на каждый выходной порт требуется число аппаратных очередей, соответствующее числу входных портов, а затем потоки группируются в 8 выходных очередей, что соответствует числу виртуальных каналов. Но такое большое число является оправданным, поскольку позволяет равномерно распределять потоки с разных входных портов с учетом принадлежности разным виртуальным каналам.

Имитационная модель коммутатора PCI Express написана на языке программирования C++ и описывает пяти портовый коммутатор [2]. Выходной порт содержит 32 очереди арбитра ступени арбитража портов, 8 очередей арбитра виртуальных каналов. Последовательность пакетов на входных портах определяется массивом моментов времени поступления пакетов и массивом меток класса трафика. Данные массивы заполняются случайным образом в соответствии с заданными пользователем вероятностными характеристиками входных потоков.

В результате моделирования получены зависимости средней длины очереди от интенсивности входного потока пакетов для разных ступеней арбитража. При большом числе очередей повышается вероятность их неравномерного заполнения, что приводит к увеличению числа «пустых» операций чтения очередей, указанных в таблице фаз. Кроме того, объем каждой очереди виртуальных каналов должен быть в n раз больше, чем объем одной очереди арбитра портов, где n – число входных портов. Возникает вопрос о целесообразности физического перемещения пакетов между арбитрами. В результате исследований был предложен метод алгоритмического упорядочения пакетов из очередей арбитра портов с учётом схемы приоритетов и таблицы фаз, что позволяет отказаться от использования очередей виртуальных каналов.

Литература

1. PCI Express Base 3.0 Specification [Электронный ресурс] // URL: <http://www.pcisig.com/specifications/pciexpress/base3/>
2. Иванов, К. В. Программная модель системы арбитража коммутатора PCI Express [Текст] / К. В. Иванов, А. А. Кошпаев, Н. С. Васяева // Кибернетика и программирование. — 2014. - № 4. - С.66-75. URL: http://e-notabene.ru/kp/article_12758.html