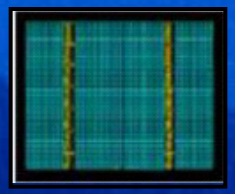
Высокопроизводительная реконфигурируемая вычислительная система РВС-7 на основе ПЛИС VIRTEX-7

Каляев И.А., Левин И.И., Дордопуло А.И., Семерников Е.А.

Дордопуло А.И.,
НИИ Многопроцессорных вычислительных систем
г. Таганрог

ЭТАПЫ РАЗВИТИЯ ПЛИС

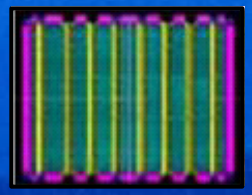
XC4000, Virtex



- FPGA Fabric
- Block RAM

2000

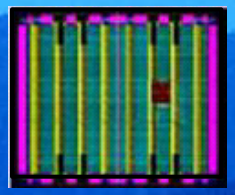
Virtex-II



- FPGA Fabric
- Block RAM 18 kbit
- SelectIO
- XCITE Technology
- DCM
- Embedded Multipliers (18x18)

2002

Virtex-II Pro



- FPGA Fabric
- Block RAM 18kbit
- SelectIO
- XCITE Technology
- DCM
- Embedded Multipliers (18x18)
- PowerPC
- RocketIO

2004

Virtex-4

- FPGA Fabric
- Block RAM 18 kbit
- SelectIO
- ASMBL architecture
- XCITE Technology
- DCM/PMCD
- XtremeDSP (18x18)
- PowerPC
- RocketIO (MGT)
- Ethernet MAC

2006

Virtex-5

- FPGA Fabric
- 65-nm technology
- Block RAM 36 kbit
- SelectIO
- ASMBL architecture
- XCITE Technology
- DCM/PMCD
- CMT
- DSP48E (25x18)
- PowerPC
- RocketIO (MGT)
- Ethernet MAC

2007

Virtex-6

- FPGA Fabric
- 40-nm technology
- Block RAM 36 kbit
- SelectIO
- XCITE Technology
- MMCMT
- CMT
- DSP 48E (25x18)
- PowerPC
- RocketIO (MGT)
- Ethernet MAC
- ChipSync™ technology
- PCI Express 8-lane

2009

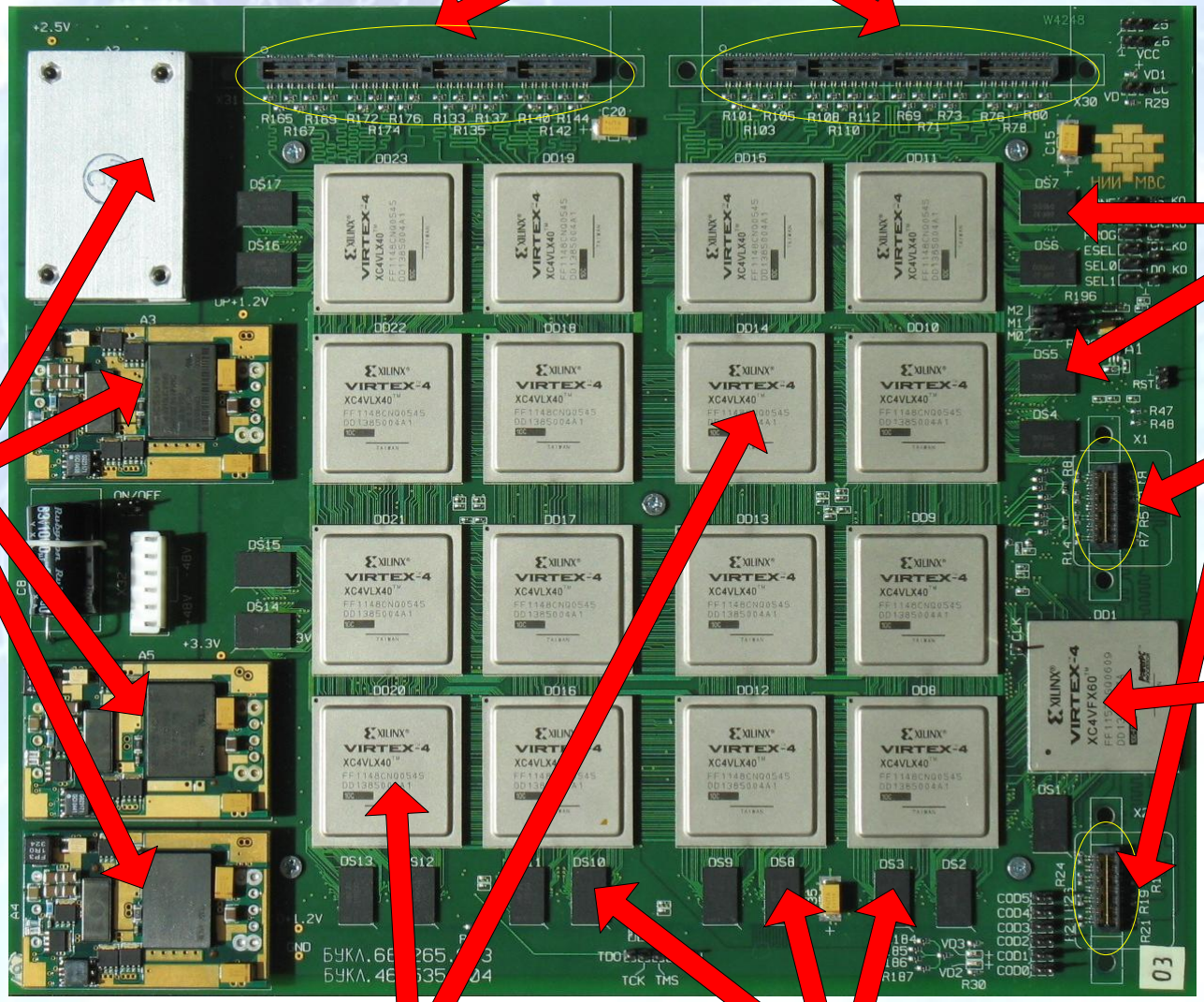
Virtex-7

- FPGA Fabric
- 28-nm technology
- Block RAM 68 Mb
- SelectIO
- XCITE Technology
- MMCMT
- SSI
- HPL
- CMT
- DSP48E (3600)
- PowerPC
- RocketIO (MGT)
- Ethernet MAC
- Transceivers 96
- PLL
- PCI Express 11-lane

2012

Типовая структура платы вычислительного модуля

LVDS-разъемы для связи с другими базовыми модулями



Блоки распределен-ной памяти

LVDS-разъемы для связи с Host - контроллером

ПЛИС КБМ с PowerPC 405

Источники вторичного электро-питания

ПЛИС решающего поля

Блоки распределенной памяти

УЗЛЫ РВС на основе ПЛИС Virtex 5

Базовый модуль 16V5-75 с подсистемой охлаждения, крепежной рамкой и кабелями LVDS

РЕКОНФИГУРИРУЕМАЯ ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА РВС-5, 2009

Число вычислительных блоков (ПЛИС), шт.	1280
Объем динамической памяти, Гбайт	100
Производительность, Гфлопс	5000
Суммарная скорость обмена данными по каналам Ethernet, Гбит/с	500
Потребляемая мощность, КВт	24
Габариты пяти вычислительных стоек, мм	3000x1000x1800

БАЗОВЫЙ МОДУЛЬ «РИГЕЛЬ» VIRTEX-6, 2011

Число ПЛИС Virtex-6	8
Число элементарных процессоров	900
Производительность, Гфлопс	400
Частота платы, МГц	400
Частота информационных обменов, ГГц	1,2

Вычислительный модуль «Ригель»

Вычислительный модуль «Ригель»

- Число базовых модулей 4
- Число ЭП 3600
- Производительность,
- Гфлопс 1600
- Частота платы, МГц 400
- Частота информационных обменов, МГц 1200
- Габариты 1U
- Максимальная потребляемая мощность, Вт 1400

СТОЙКА НА ОСНОВЕ МОДУЛЯ «РИГЕЛЬ», 2011

Число вычислительных модулей	24 - 36
Число элементарных процессоров	86400 - 129600
Производительность, Тфлопс	34,5 - 51,8
Частота платы, МГц	400
Частота информационных обменов, МГц	1200
Максимальная потребляемая мощность, КВт	33,6 - 50,4

Мероприятие 2.7

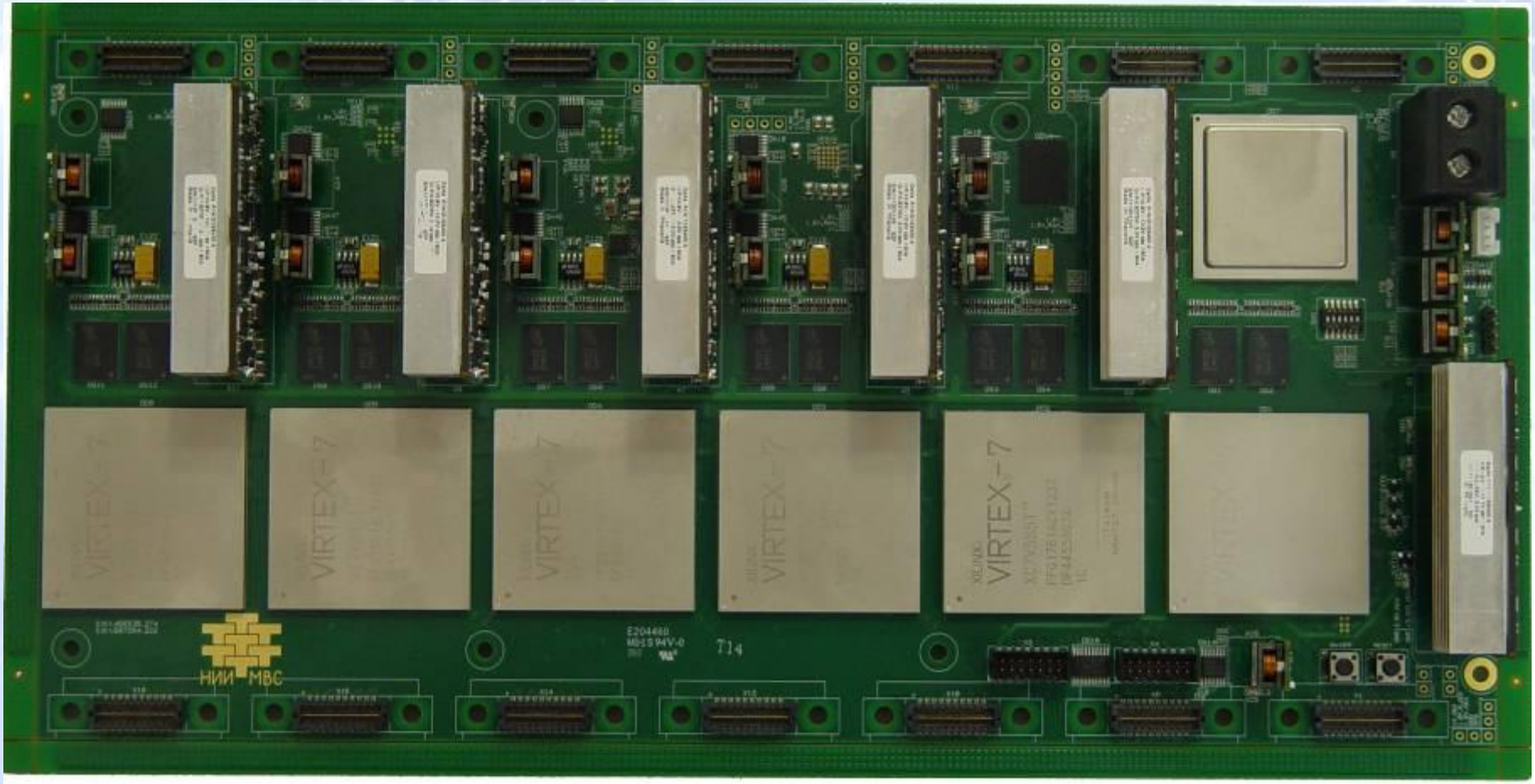
федеральной целевой программы

«Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2007-2013 годы»

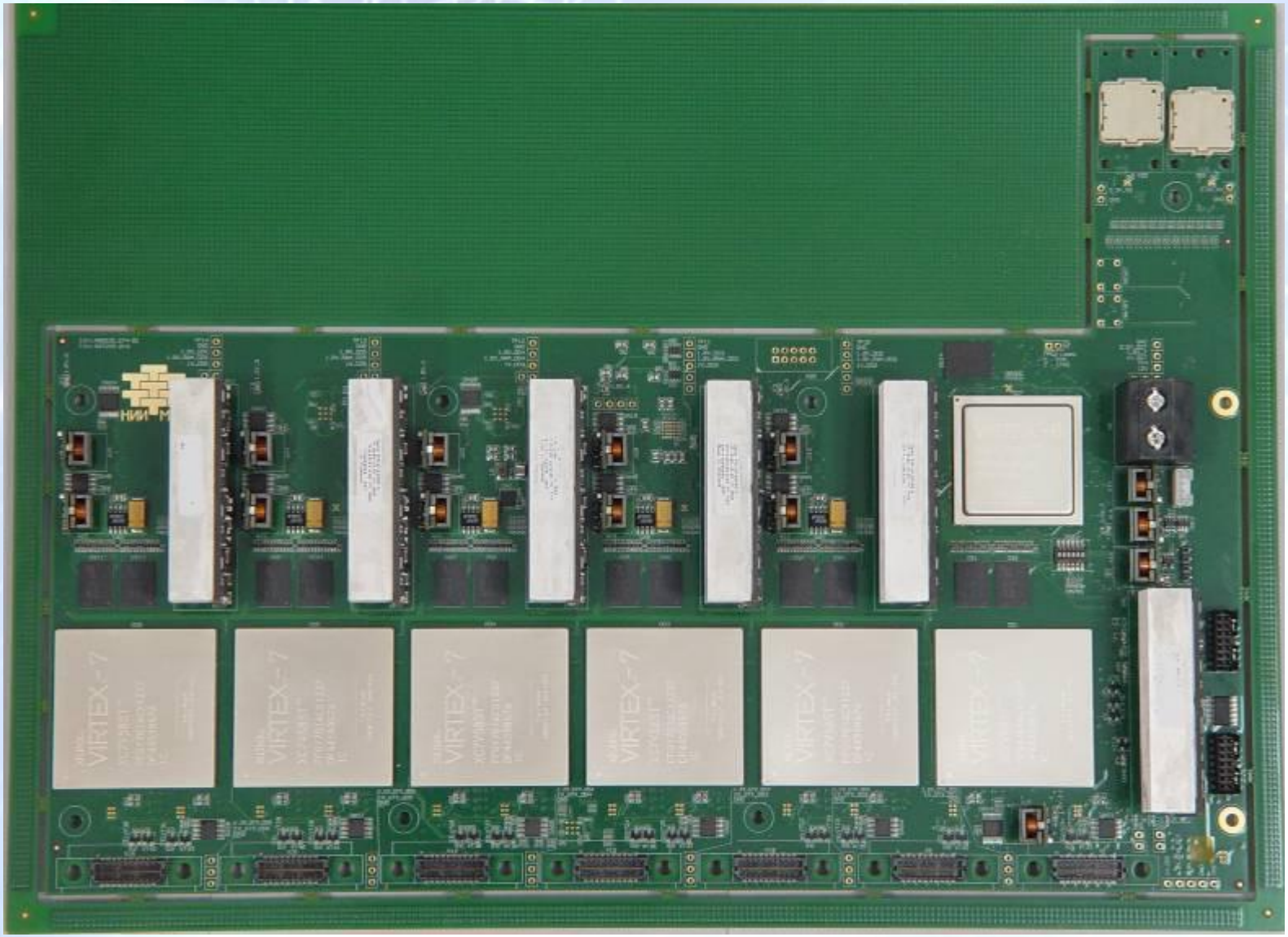
выполнение опытно-конструкторских и опытно-технологических работ по теме

Разработка и создание опытного образца реконфигурируемой вычислительной системы нового поколения с производительностью до 10^{15} операций в секунду в одностоечном конструктиве 47U и организация производства ряда РВС на его основе

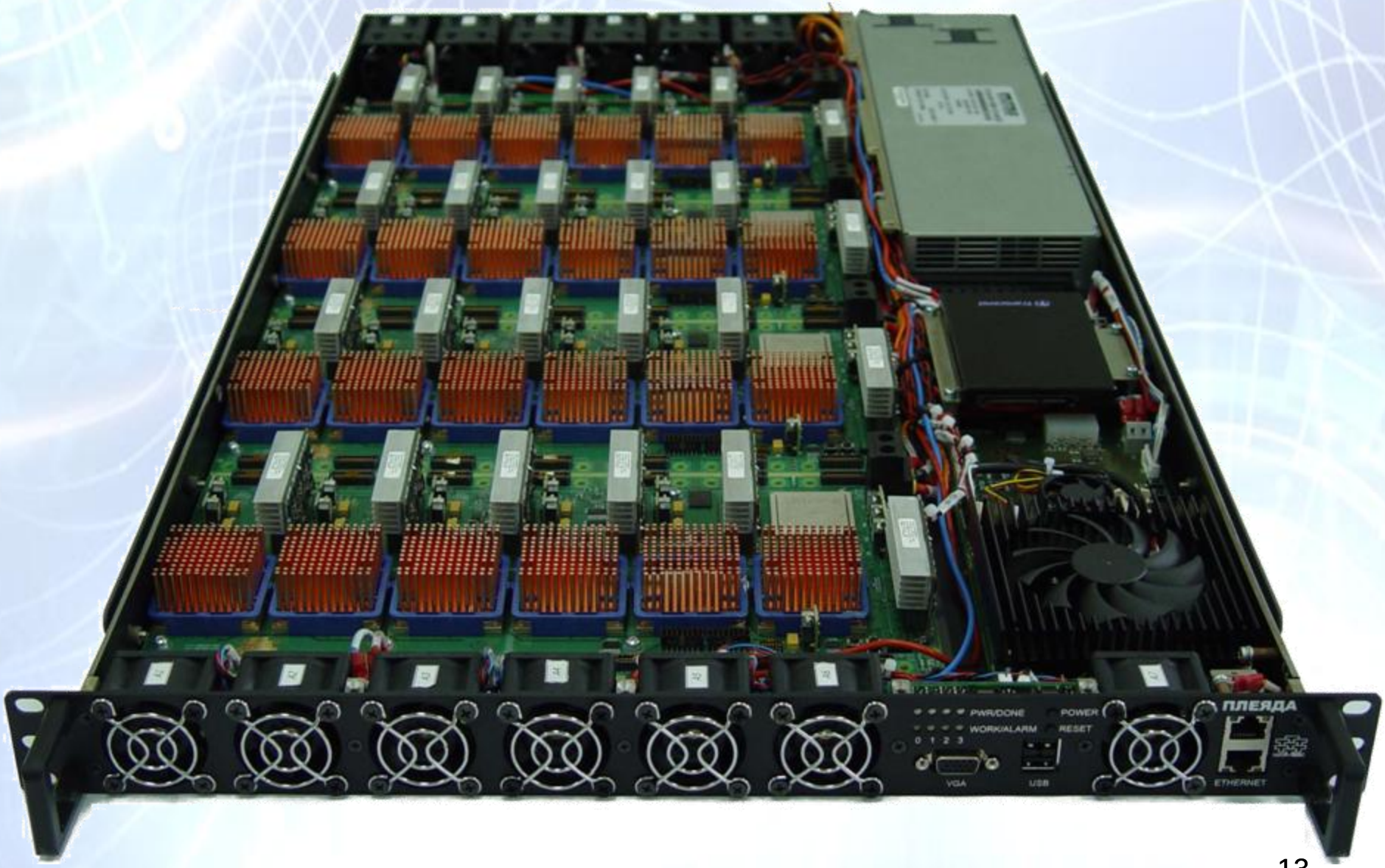
ПВМ 6V7-180 исп.1



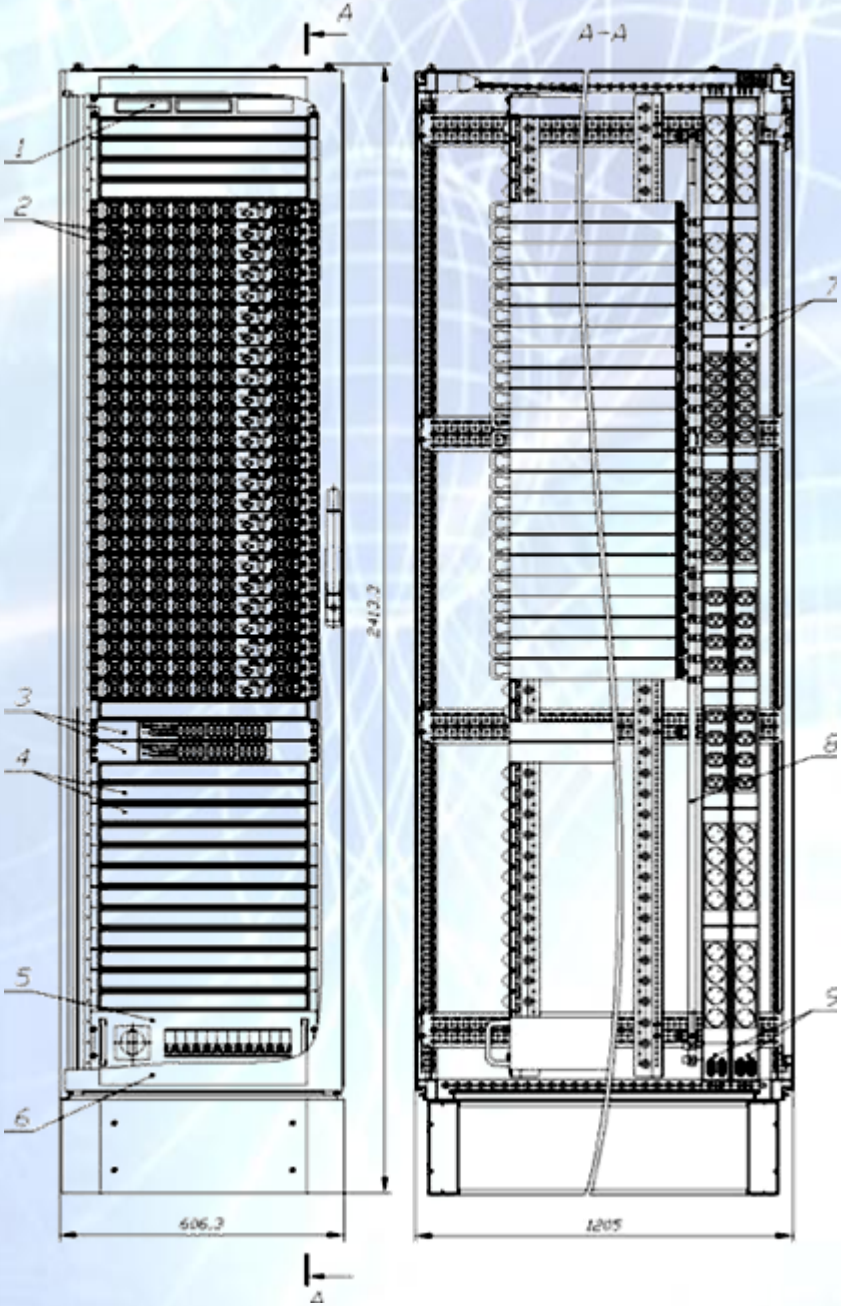
ПВМ 6V7-180
исп. 2



КОМПОНОВКА БЛОКА «Плеяда» 1U



КОМПОНОВКА СТОЙКИ РВС-7 47U



1 – система мониторинга;
2 – вычислительный модуль 24V7-750 (1..24);
3 – коммутатор Ethernet;
4 – заглушка;
5 – модуль распределения питания;
6 – шкаф 47U;
7 – модуль розеточный;
8 – шина заземления;
9 – шина токовая

Технические характеристики плат вычислительных модулей

Плата вычислительного модуля	Число ПЛИС	Тип и наименование ПЛИС	Количество эквивалентных вентилей в 1 ПЛИС, млн. шт.	Интерфейс и скорость межмодульного обмена, Гбит/сек	Потребляемая мощность, ВА
«Саиф»	8	Virtex-6	24	Gigabit Ethernet, 1	300
«Ригель»	8	Virtex-6	24	Gigabit Ethernet, 1	300
6V7-180	6	Virtex-7	58	LVDS, 120	300

Производительность вычислительных модулей и стоек

Наименование вычислительного модуля	Производительность вычислительного модуля Pi_{32}/Pi_{64} (Гфлопс)	Число вычислительных модулей в 19 " стойке	Производительность стойки Pi_{32}/Pi_{64} (Тфлопс)
«Саиф»	1600/500	6	9/3
«Ригель»	1600/500	24-36	34,5 – 51,8/12,0 – 18,0
24V7-750	2600/820	24-36	62,4 – 95,0/19,4 – 29,4

Производительность вычислительных модулей

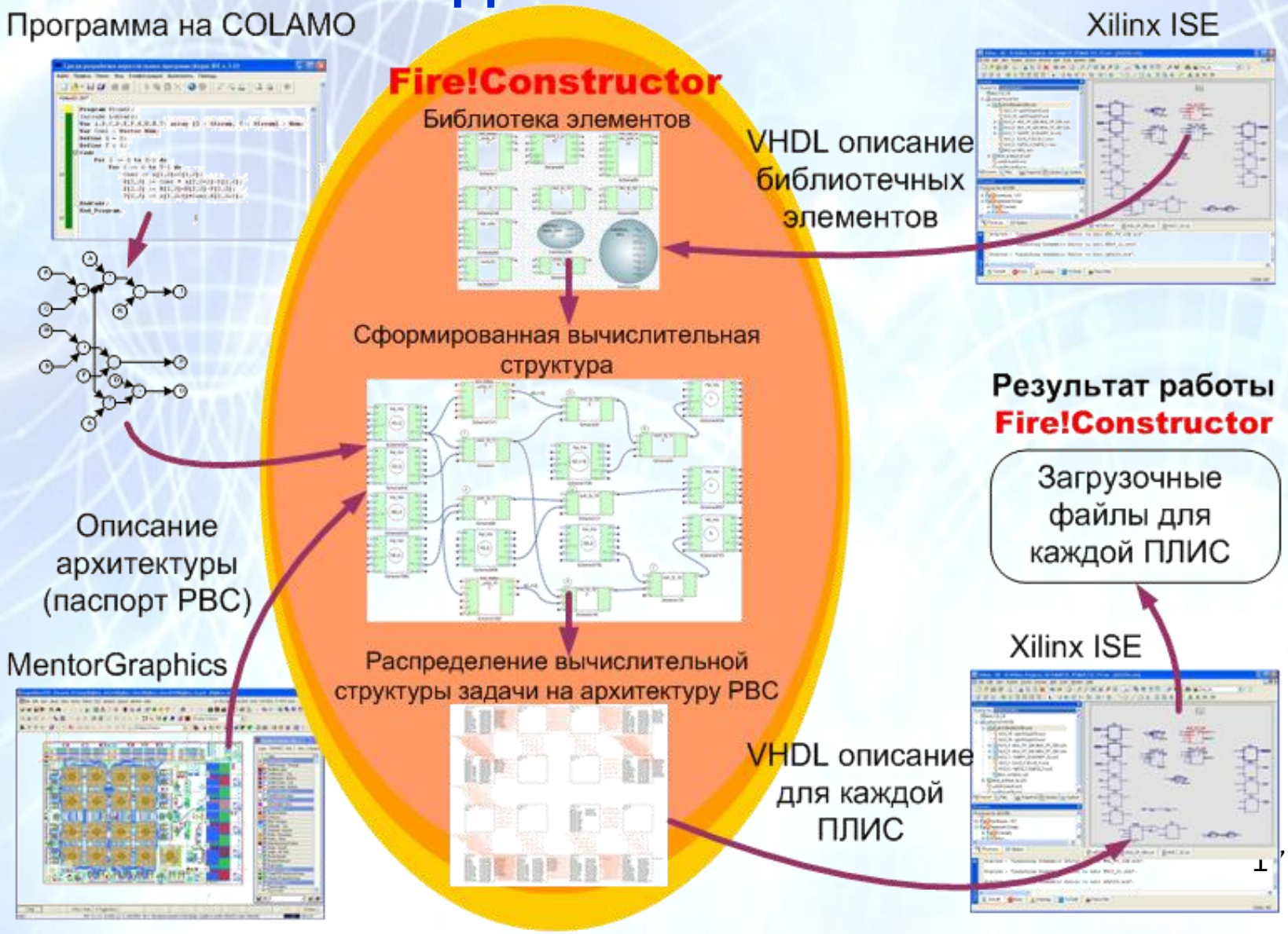
Вычислительный модуль	Символьная обработка данных (Топ/с)	Математическая физика, арифметика с плавающей запятой (Тфлопс)
«Саиф»	199,6	1,6/0,5
«Ригель»	199,6	1,6/0,5
24V7-750	320,2	2,2/0,8

Комплекс программного обеспечения РВС-7

Комплекс программного обеспечения РВС-7

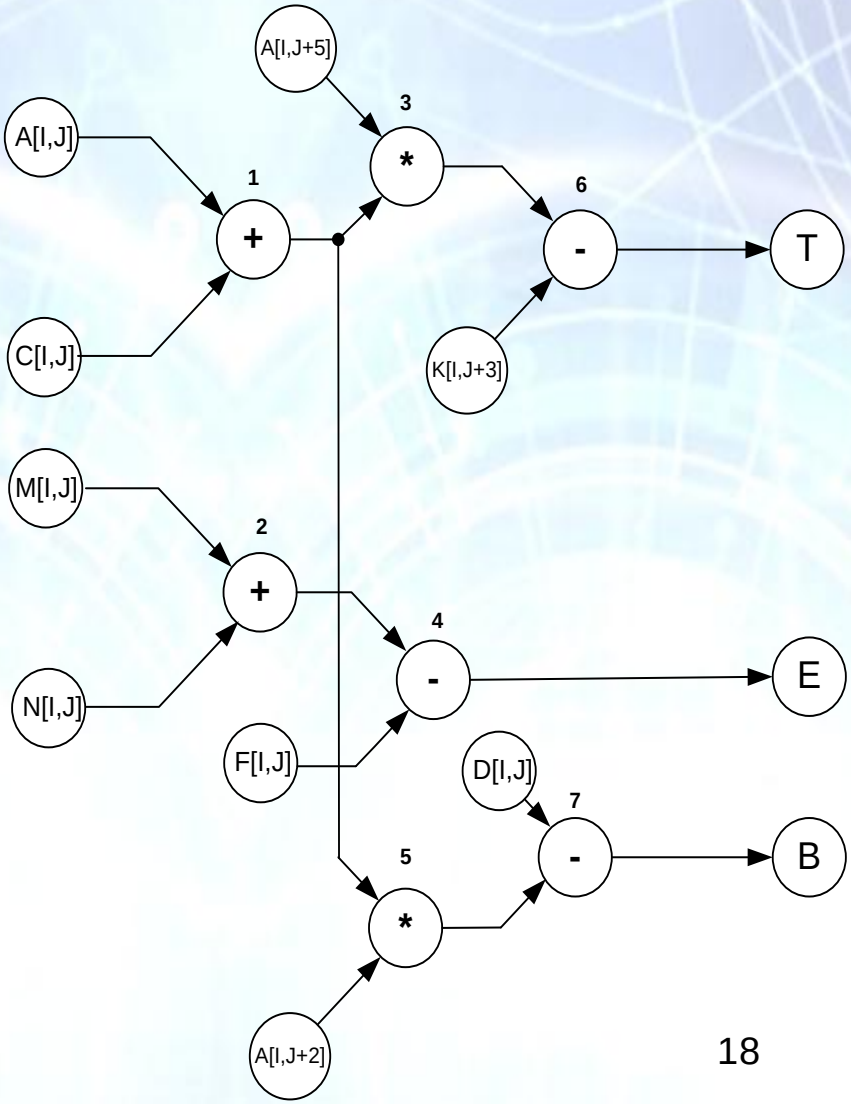
- **Средства разработки прикладных параллельных программ для ПЛИС-7**
  - Транслятор языка ассемблера РВС
  - Транслятор языка высокого уровня с неявным описанием параллелизма для масштабируемых прикладных программ
  - Синтезатор конфигураций параллельно-конвейерных вычислительных структур из макрообъектов
  - Синтезатор масштабируемых параллельно-конвейерных процедур на уровне логических ячеек ПЛИС
  - Отладчик программ параллельной обработки данных
- **Системное программное обеспечение**
  - Программные средства управления и доступа к вычислительным ресурсам ВМ 24V7-750
  - Программные средства мониторинга и диагностики параметров РВС-7
- **Библиотека схемотехнических решений и интерфейсов**
  - Библиотека схемотехнических решений (IP-ядер)
  - Библиотека межблочных и межмодульных схемотехнических интерфейсов

АВТОМАТИЗИРОВАННОЕ СОЗДАНИЕ СТРУКТУРНОЙ СОСТАВЛЯЮЩЕЙ ПРИКЛАДНОЙ ПРОГРАММЫ

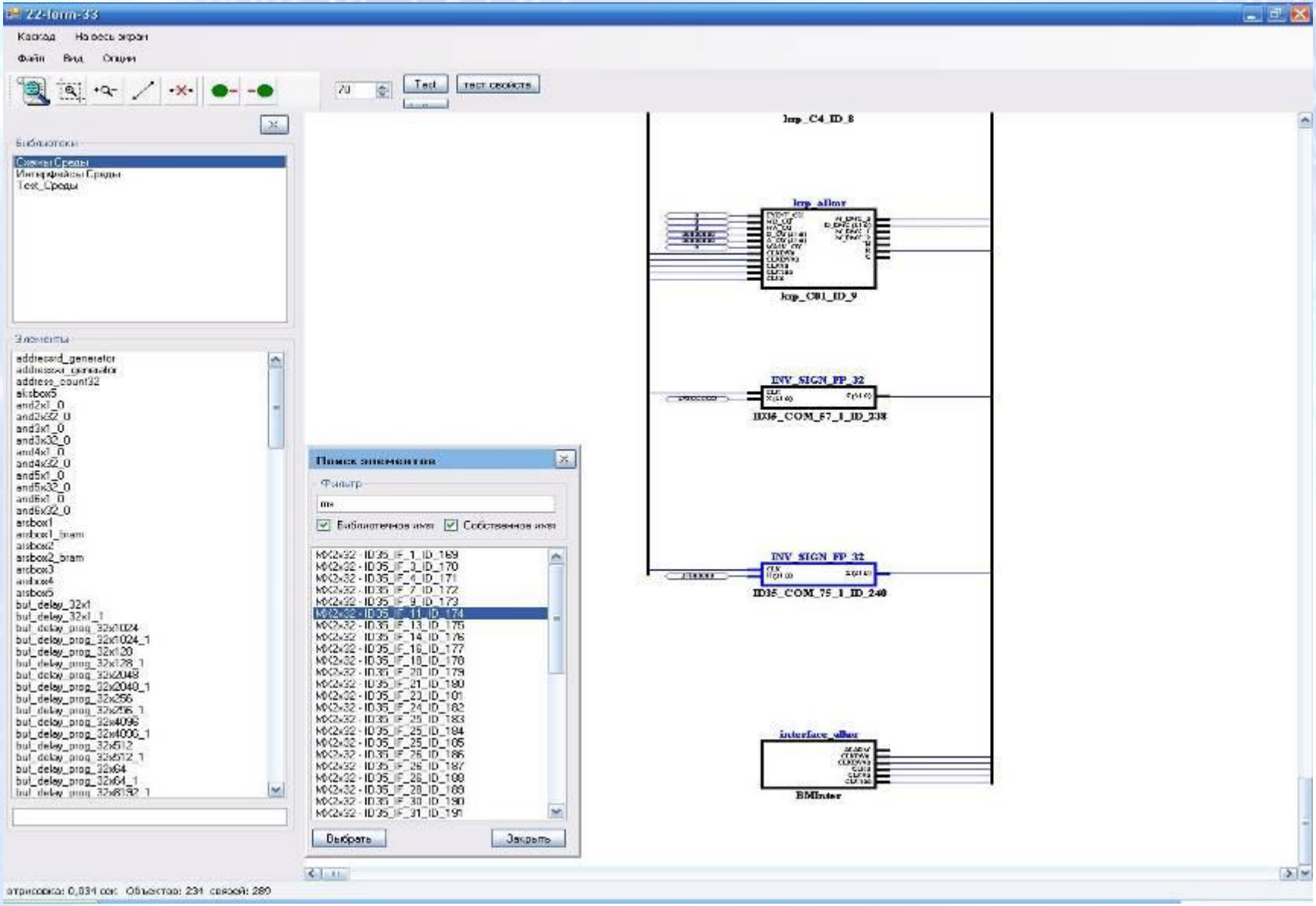


ПАРАЛЛЕЛЬНАЯ ПРОГРАММА И ИНФОРМАЦИОННЫЙ ГРАФ

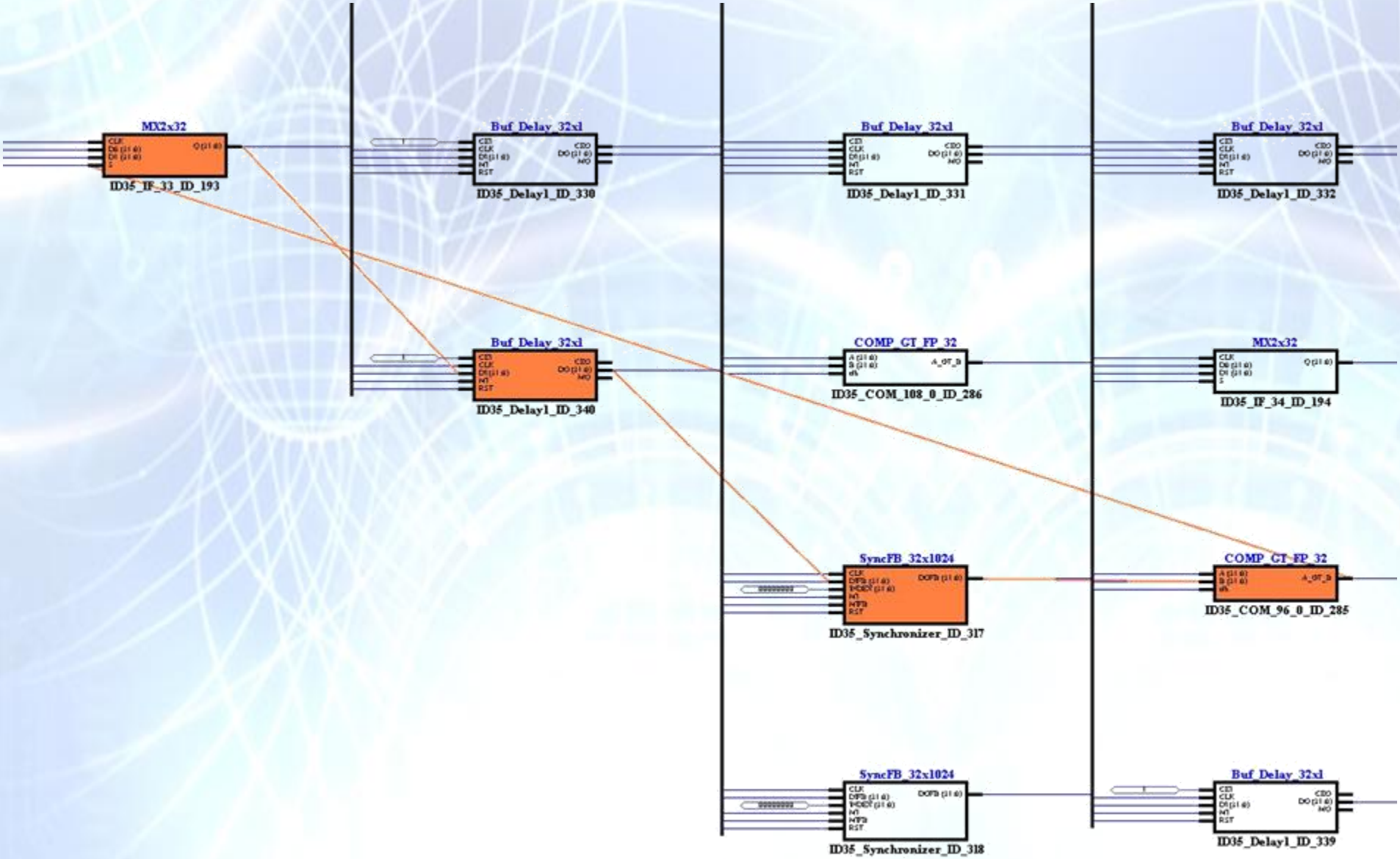
```
Program Ex;
Include Library;
Var A,B,C,D,E,F,K,N,M,T : array [X : Stream,
Y : Stream] : Mem;
Var Com : Vector Mem;
Define X=5;
Define Y=6;
Cadr
  For I := 0 to X-1 do
    For J := 0 to Y-1 do
      Com := ( A[ I , J ]+ C[ I , J ] );
          B[ I , J ] = Com * A[ I , J +2 ] - D[ I , J ];
          E[ I , J ] = M[ I , J ] + N[ I , J ] - F[ I , J ];
          T[ I , J ] = A[ I , J + 5 ] * Com - K[ I , J+ 3];
EndCadr;
End_Program.
```



ВИЗУАЛИЗАЦИЯ СИНХРОНИЗИРОВАННОГО ИНФОРМАЦИОННОГО ГРАФА



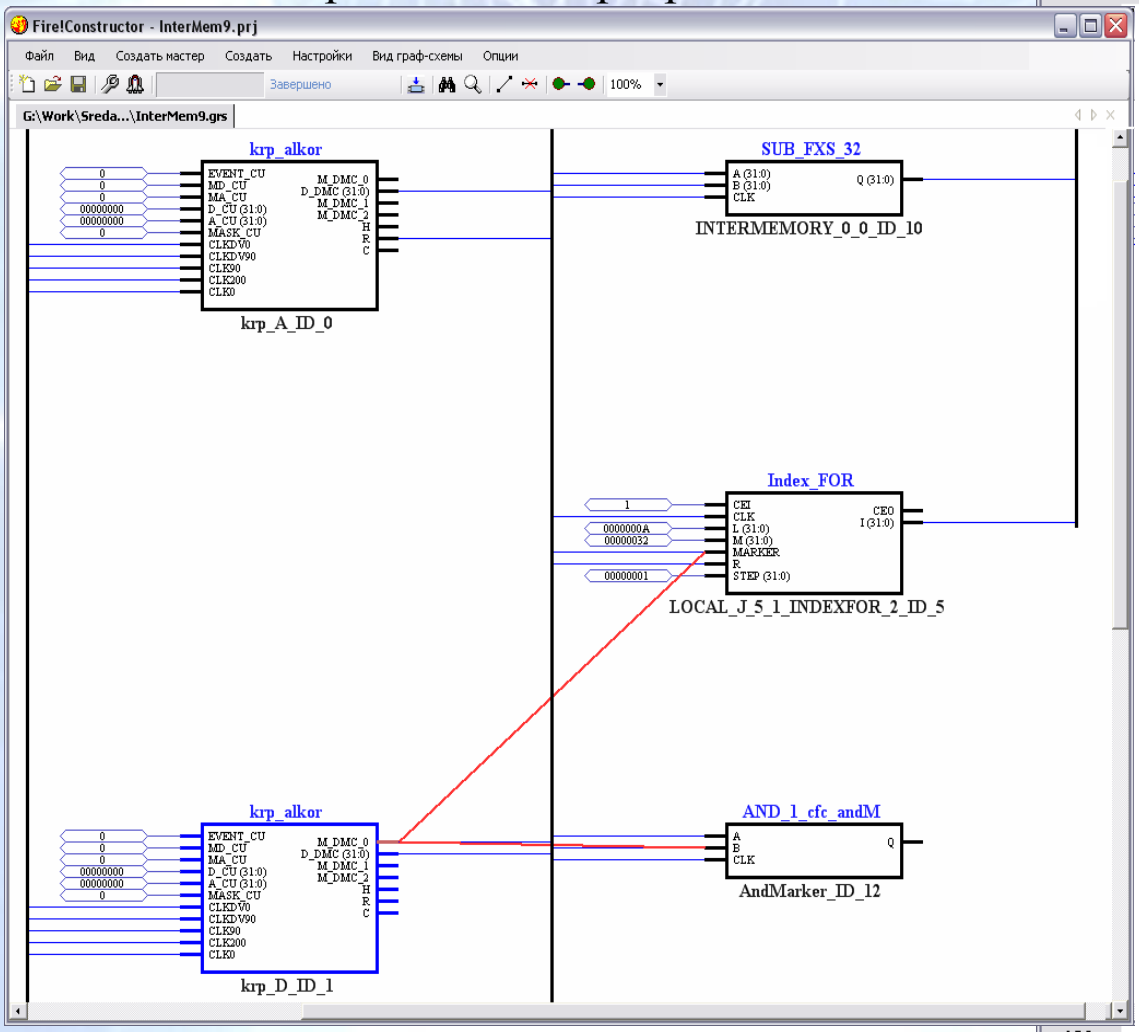
АВТОМАТИЗИРОВАННЫЙ ПОИСК «КОЛЕЦ» НА ГРАФЕ



СИНТЕЗАТОР ПАРАЛЛЕЛЬНЫХ ПРИКЛАДНЫХ ПРОГРАММ ДЛЯ РВС

Функциональная схема структурной параллельной программы

Синтезированный VHDL-код



intermem9_dd1.vhd

```
scre4_intermemory_0_0_id_10 : sub_fxs_32 -- Latency=1
   port map (A(31 downto 0)=>sgn6_D_DMC_to_A(0 to 31),
             B(31 downto 0)=>sgn19_D_DMC_to_B(0 to 31),
             Q(31 downto 0)=>sgn28_Q_to_X(0 to 31),
             CLK=>sgn5_CLK0_to_CLK0);

scre2_intermemcatch_id_4 : dpram_32x2048 -- Latency=4
   port map (DIB=>"00000000000000000000000000000000",
             AB=>"00000000000000000000000000000000",
             MWB=>'0',
             AA(31 downto 0)=>sgn29_I_to_AA(0 to 31),
             DIA(31 downto 0)=>sgn31_Y_to_DIA(0 to 31),
             MWA=>sgn32_Y_to_MWA,
             CLK=>sgn5_CLK0_to_CLK0);

scre3_local_j_5_1_indexfor_2_id_5 : index_for -- Latency=2
   port map (CEI=>'1',
             L=>"00000000000000000000000000001010",
             M=>"00000000000000000000000000110010",
             STEP=>"00000000000000000000000000000001",
             MARKER=>sgn17_M_DMC_0_to_MARKER,
             R=>sgn18_R_to_R,
             I(31 downto 0)=>sgn29_I_to_AA(0 to 31),
             CLK=>sgn5_CLK0_to_CLK0);

scre5_andmarker_id_12 : AND_1 -- Latency=1
   port map (A=>sgn30_Q_to_A,
             B=>sgn33_Y_to_B,
             CLK=>sgn5_CLK0_to_CLK0);

scre6_c1_com_0_0_id_9 : comp_eq_1 -- Latency=1
   port map (A=>'1',
             B=>'0',
             Q=>sgn30_Q_to_A,
             CLK=>sgn5_CLK0_to_CLK0);

scre23_convergdelay0 : cfc_cdelay0_dd1 -- Latency=1
   port map (X(0 to 31)=>sgn28_Q_to_X(0 to 31),
             Y(0 to 31)=>sgn31_Y_to_DIA(0 to 31),
             CLK=>sgn5_CLK0_to_CLK0);

scre24_convergdelay1 : cfc_cdelay1_dd1 -- Latency=1
   port map (X=>sgn30_Q_to_A,
             Y=>sgn32_Y_to_MWA,
             CLK=>sgn5_CLK0_to_CLK0);
```

Особенности КПО РВС-7

Универсальная софт-архитектура

Элементарные процессоры, объединенные коммутационной средой

1 **Программирование на универсальной софт-архитектуре, предзагруженной в РВС**

Язык высокого уровня COLAMO, ассемблер Argus и синтезатор Water!Constructor

Схемотехнические примитивы ПЛИС: Logic Cells, BlockRAM, DSP и т.п.

2 **Программирование на уровне примитивов ПЛИС**

Язык высокого уровня COLAMO и синтезатор Fire!Constructor

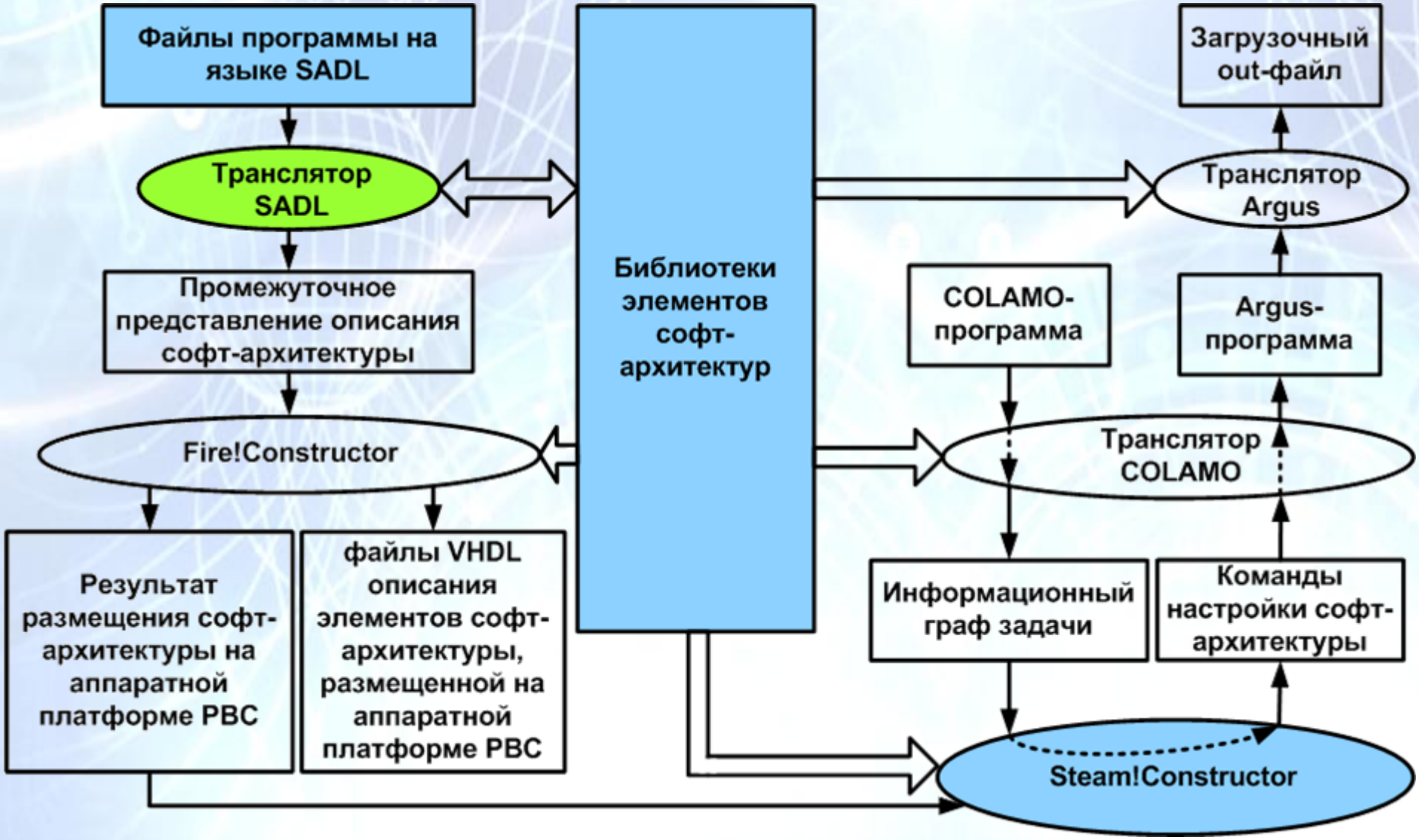
Нижний уровень программирования РВС

Самая высокая эффективность использования оборудования РВС.
Необходимость перегрузки конфигурации ПЛИС для многокадровых задач

Верхний уровень программирования РВС

Решение многокадровых задач. Динамическая перестройка архитектуры.
Снижение эффективности использования оборудования РВС.

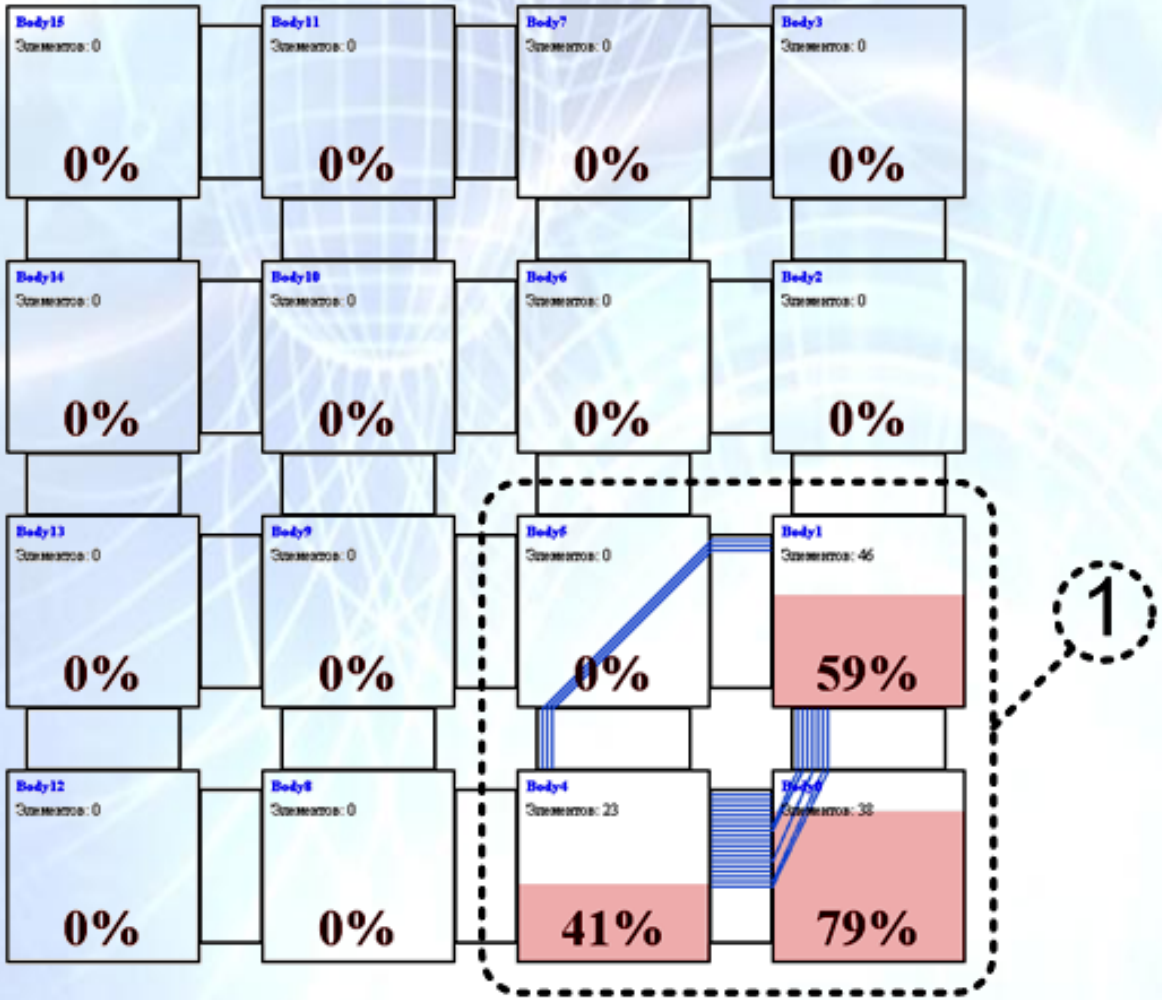
Структура взаимодействия компонентов КПО РВС-7 для поддержки софт-архитектур



Отличительные особенности языка SADL

- Является специализированным языком программирования.
- Позволяет описывать структурную и управляющую компоненты архитектуры.
- Обладает платформонезависимостью.
- Описывает софт-архитектуры и их внешние связи;
- Описывает макрообъекты (внешние и внутренние информационные связи макрообъекта);
- Описывает объекты и узлы, включая описание управления.

ОТОБРАЖЕНИЕ ИНФОРМАЦИОННОГО ГРАФА ЗАДАЧИ НА БАЗОВЫЙ МОДУЛЬ «МЕДВЕДЬ»



- 16 кристаллов ПЛИС Virtex IV (4 млн. вентилей) фирмы Xilinx
- 20 блоков распределённой памяти

МАСШТАБИРОВАНИЕ ЗАДАЧИ НА ЯЗЫКЕ COLAMO (распараллеливание в 4 раза)

Среда разработки параллельных программ (Argus IDE v. 3.0)

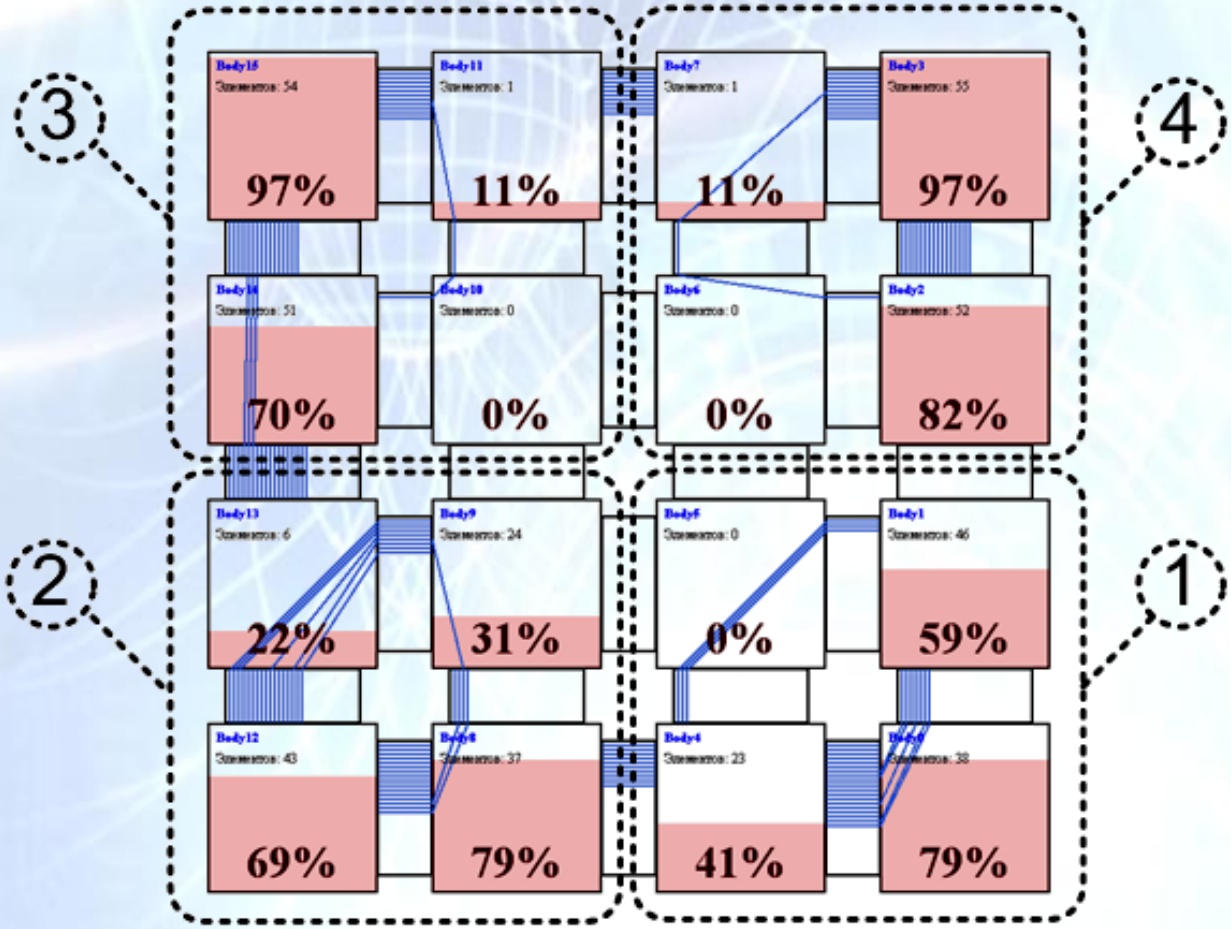
Файл Правка Поиск Вид Конфигурация Выполнить Помощь

Oil.dm

```
Program Oil;
include MylibNewElement;
Var L,D,p,pTemp : Array Real [4 : Vector, 100 : Stream, 500 : Stream, 50 : Stream] Mem;
Var tmp1,tmp2,tmp3,tmp4,tmp5,tmp6,tmp7,tmp8,tmp8_1,tmp9,tmp10,tmp11,tmp12,tmp13,
tmp14,tmp15,tmp16,tmp17,tmp18,tmp19,tmp20,tmp21,tmp22,tmp23,tmp24,tmp25,tmp26,tmp27,
tmp28,tmp29,tmp30,tmp31,tmp32,tmp33,tmp34,tmp35,tmp36, MyCom :  Array real [4 : Vector] Com;

Const c1=3.2; Const c2=1.5; Const c3=1.205; Const c4=4.12; Const c5=9.24; Const c6=3.14;
Const w=0.9;
Const eps=0.001;

Define nn=4; Define n=100; Define m=500; Define ll=50;

CADR Oil;
for ii:=0 to nn-1 do
    for k:=1 to ll-2 do
        for j:=1 to m-2 do
            for i:=1 to n-2 do
            begin
            if (L[ii,i,j,k]<>D[ii,i,j,k]) and (p[ii,i,j,k]<>D[ii,i,j,k]) then
                begin
                tmp1[ii]:=(L[ii,i+1,j,k]+L[ii,i-1,j,k])*c1;
                tmp2[ii]:=(L[ii,i,j+1,k]+L[ii,i,j-1,k])*c2;
                tmp3[ii]:=(L[ii,i,j,k+1]+L[ii,i,j,k-1])*c3;
                tmp4[ii]:=tmp1[ii]*c1-tmp2[ii];
                tmp5[ii]:=tmp2[ii]*c5-tmp1[ii];
                tmp6[ii]:=tmp3[ii]*c4-(tmp2[ii]+tmp1[ii]);
                tmp7[ii]:=(tmp4[ii]+tmp5[ii])-c1*tmp6[ii];
                tmp8[ii]:=(tmp6[ii]+tmp7[ii])+c2*tmp6[ii];
```

11: 11 Insert

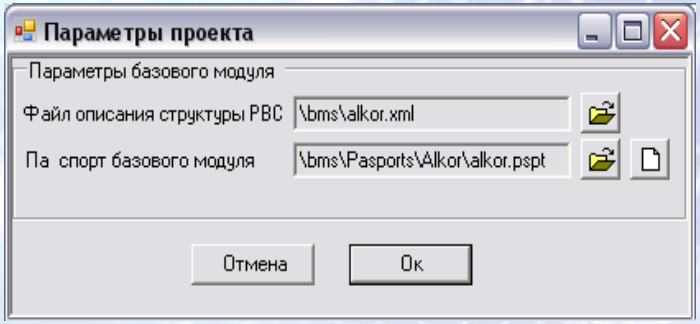
ОТОБРАЖЕНИЕ ИНФОРМАЦИОННОГО ГРАФА ЗАДАЧИ НА БАЗОВЫЙ МОДУЛЬ «МЕДВЕДЬ» СО СТЕПЕНЬЮ РАСПАРАЛЛЕЛИВАНИЯ 4



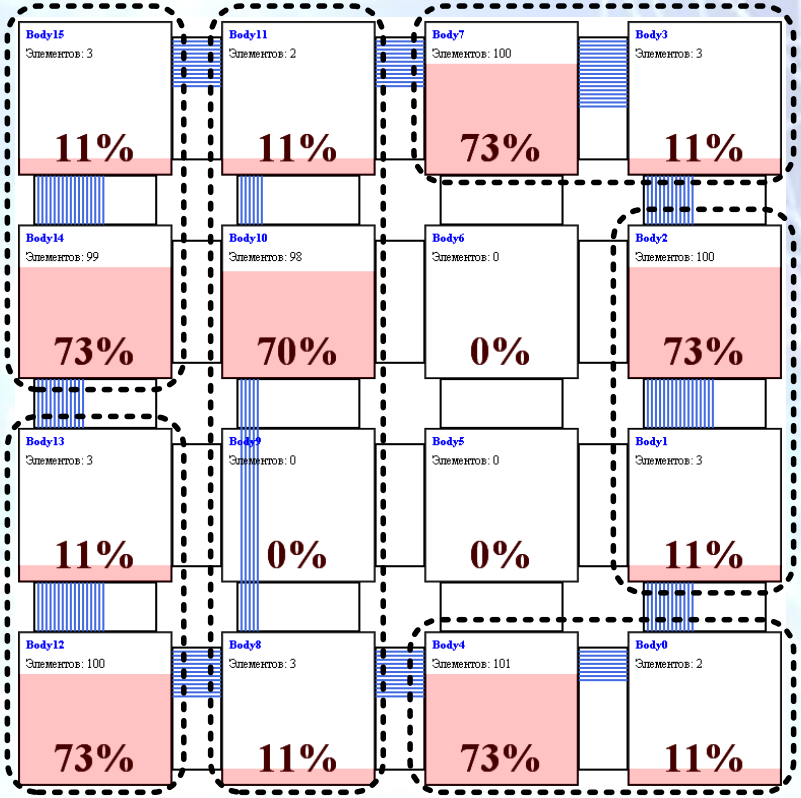
- 16 кристаллов ПЛИС Virtex IV (4 млн. вентилей) фирмы Xilinx
- 20 блоков распределённой памяти

ПРИМЕР ПЕРЕНОСА РЕШЕНИЯ

Задача фильтрации жидкости в пористой среде:



Базовый модуль «Алькор» 16 кристаллов ПЛИС Virtex-5 (11 млн. экв. вентилей) фирмы Xilinx



	Программирование на VHDL	Программирование с помощью синтезатора	Перенос решения на БМ «Алькор» с помощью VHDL	Перенос решения на БМ «Алькор» с помощью синтезатора
Разработка и отладка (чел/дней)	**27**	**5**	**10**	**1**

БЛАГОДАРЮ ЗА ВНИМАНИЕ !