

Макетирование и оценочное исследование производительности мультитредового сопроцессора J7-C

А.С. Фролов, Д.В. Мошкин, М.А. Белкин, К.А. Курочкин,
В.С. Бобков, И.И. Долженков, А.С. Садчиков

ОАО «Научно-исследовательский центр электронной вычислительной техники»

В последнее время все более актуальными становятся графовые задачи, связанные с обработкой и анализом данных большого объема, вынуждающие применять новые программные и аппаратные решения, повышающие эффективность их счета [2]. В качестве одного из таких решений в настоящее время в ОАО «НИЦЭВТ» проводятся работы по созданию коммуникационного сопроцессора J7-C с поддержкой глобально адресуемой памяти на базе разрабатываемого с 2005 года микропроцессора J7 [1]. Главными архитектурными особенностями сопроцессора являются: аппаратная мультитредовость, поддержка глобальной общей памяти, поддержка активных сообщений, сопряженность с маршрутизатором коммуникационной сети «Ангара» с топологией 4D-тор [3].

Сопроцессор будет содержать кэш команд IC (64 КБ, 4-х ассоциативный, длина строки 64Б), 2 или 4 целочисленных конвейера (в каждом по 16 тредов), блок 64-х разрядного целочисленного умножения и деления MDU (один на каждую пару конвейеров), блок обращения в память LSU (один на каждую пару конвейеров, до 8-ми незавершенных команд от каждого тредда), кэш команд и данных второго уровня L2 (4МБ, 4-х ассоциативный, длина строки 64Б), блок трансляции адреса MMU, блок сетевых обращений MSU, предоставляющий интерфейс к маршрутизатору RT, блок управления CU, выполняющий команды с хост-машины.

Для отработки микроархитектуры сопроцессора J7-C, запланирована серия макетов на ПЛИС с поэтапным добавлением блоков сопроцессора.

На данный момент реализован макет M2 на основе FPGA Xilinx XC5VFX100T, содержащий: IC (только физическая адресация), один целочисленный конвейер, LSU (до 2-х незавершенных команд от каждого тредда, только физическая адресация), блок BUI, предоставляющий через PCIe доступ к памяти хост-машины. На данном макете были верифицированы в однотредовом режиме арифметические, логические и операции сдвига над 64-х разрядными целыми числами со знаком и без знака, скалярные чтение и запись в память.

На следующем этапе (декабрь 2011 — апрель 2012) планируется создать макет M3 на основе FPGA Xilinx XC6VLX240T в следующей конфигурации: IC (только физическая адресация), один целочисленный конвейер, MDU (деление только 32-х разрядное), LSU (только физическая адресация), L2 (128 Кб), 512 Мб памяти DDR3, CU (только загрузка и выгрузка данных из памяти макета). Целью данного этапа является отладка и верификация RTL модели одноконвейерного ядра сопроцессора J7-C и подсистемы памяти с физической адресацией.

Далее (май 2012 — октябрь 2012) планируется создать макет M4, в котором по сравнению с M3 будут добавлены: еще один целочисленный конвейер, MMU, MSU, RT. Целью этапа является верификация RTL модели двухконвейерного ядра J7-C, подсистемы памяти с глобальной адресацией и сетевого маршрутизатора. Далее на этом макете будет проводиться оценка производительности выбранных микроархитектурных решений.

Литература

1. Слущкин А.И., Эйсымонт Л.К. Российский суперкомпьютер с глобально адресуемой памятью. URL: <http://www.osp.ru/os/2007/09/4569294/> (дата обращения: 15.12.2011).
2. Семенов А., Фролов А., Никитин А., Кабыкин В. Суперкомпьютеры для графовых задач. URL: <http://www.osp.ru/os/2011/07/13010498/> (дата обращения: 15.12.2011).
3. Макагон Д., Сыромятников Е. Сети для суперкомпьютеров. URL: <http://www.osp.ru/os/2011/07/13010500/> (дата обращения: 15.12.2011).