

Семейство вычислительных систем с высокой реальной производительностью на основе ПЛИС

И.А. Каляев, И.И. Левин, Е.А. Семерников

В статье рассматриваются вопросы создания реконфигурируемых вычислительных систем (РВС) с высокой реальной производительностью, в которых в качестве основного вычислительного элемента используются программируемые логические интегральные схемы (ПЛИС), соединенные в большие вычислительные поля. Вычислительные структуры, которые могут быть созданы в больших вычислительных полях, составленных из множества ПЛИС, обладают значительно большим вычислительным потенциалом, чем при использовании отдельных кристаллов в качестве акселератора для универсального микропроцессора. На ряде примеров реализации базовых модулей и блоков показаны различные способы организации аппаратной платформы РВС и проводятся качественные оценки технических решений.

Ключевые слова

Реконфигурируемые вычислительные системы, программируемые логические интегральные схемы, вычислительные поля из ПЛИС, аппаратно-программные средства РВС

Известно, что высокую реальную производительность суперЭВМ с кластерной архитектурой демонстрируют, в основном, только при решении класса слабосвязанных задач, не требующих большого количества информационных обменов, в то время как при решении задач других классов их реальная производительность существенно снижается и не превышает 5-15% от декларируемой пиковой производительности системы [1-3]. Это является следствием неадекватности данной конкретной архитектуры суперкомпьютера информационной структуре решаемой задачи и невозможности адаптации его «жесткой» архитектуры под структуру задачи. Многие исследователи считают, что традиционные методы увеличения производительности кластерных суперЭВМ, такие как повышение тактовой частоты и механическое наращивание числа серийно выпускаемых вычислительных узлов на базе универсальных микропроцессоров, в настоящее время практически исчерпаны. Прорыв в направлении повышения реальной производительности суперЭВМ может быть достигнут только за счет поиска других концептуальных подходов при построении высокопроизводительных систем, обладающих практически линейным ростом производительности при увеличении аппаратного ресурса.

Недостатки суперЭВМ традиционной архитектуры могут быть устранены на пути создания высокопроизводительных реконфигурируемых вычислительных систем (РВС), которые развиваются в рамках созданной в НИИ многопроцессорных вычислительных систем имени академика А.В. Каляева Южного федерального университета (НИИ МВС ЮФУ) концепции многопроцессорных вычислительных систем с программируемой архитектурой [3, 4]. В отличие от многопроцессорных вычислительных систем с «жесткой» архитектурой, в частности, кластерных суперЭВМ, архитектура РВС может динамически изменяться в процессе функционирования. В результате у пользователя появляется возможность адаптации архитектуры вычислительной системы под структуру решаемой задачи. В качестве элементной базы для построения РВС используются ПЛИС высокой интеграции, соединенные в вычислительные поля. Вычислительные структуры, реализуемые в доступном пользователю ресурсе ПЛИС, обеспечивают высокую реальную производительность и пропорциональный рост производительности при увеличении задействованного оборудования.

Рассмотрим особенности построения высокопроизводительных РВС с большими вычислительными полями на примере старших представителей семейства РВС, созданных по Государственному контракту № 02.524.12.4002 «Создание семейства высокопроизводительных много-

процессорных вычислительных систем с динамически перестраиваемой архитектурой на основе реконфигурируемой элементной базы и их математического обеспечения для решения вычислительно трудоемких задач», выполняемого по заданию Федерального агентства по науке и инновациям в рамках Федеральной целевой программы «Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2007-2012 годы».

Целью разработки являлось создание на единых архитектурных принципах семейства программно-совместимых реконфигурируемых высокопроизводительных вычислительных систем производительностью от 0,025 Тфлопс до 6 Тфлопс. В результате выполнения Государственного контракта создано семейство РВС, в состав которого входят: РВС-5 – высокопроизводительная система производительностью 6 Тфлопс; РВС-1Р и РВС-1К – системы производительностью более 1 Тфлопс; РВС-0.2-РС – рабочая станция производительностью 300 Гфлопс; РУПК-50 и РУПК-25 – ускорители персональных компьютеров производительностью 50 и 25 Гфлопс.

Старшие представители семейства РВС-5, РВС-1Р и РВС-0.2-РС создаются на принципах модульной наращиваемости и обладают почти линейным ростом реальной производительности в зависимости от увеличения аппаратного ресурса [3, 4]. Реальная производительность всех представителей семейства РВС на задачах различных классов составляет более 50% от указанной пиковой производительности.

В статье [5] подробно рассматривались конструктивные особенности созданного в рамках Государственного контракта № 02.524.12.4002 семейства РВС – компоновка и основные подсистемы, здесь же мы сосредоточим наше внимание на принципах организации основных вычислительных частей этих систем, представляющих собой вычислительные поля из ПЛИС, рассмотрим некоторые характеристики этих систем в сравнении с ранее созданными РВС.

Высокая реальная производительность старших представителей семейства РВС и почти линейный рост их производительности в зависимости от наращивания аппаратного ресурса обусловлен как архитектурными и конструктивно-технологическими особенностями построения вычислительных полей, так и организацией вычислительного процесса в них. В [3,4] показано, что с увеличением ресурсов вычислительного поля растет и эффективность РВС в целом, поэтому рассмотрим принципы построения вычислительных полей и пути наращивания их аппаратного ресурса. Все старшие представители семейства строятся на основе одного типа базового модуля – 16V5-75, имеющего следующие параметры:

Производительность (64 разряда), Гфлопс	75
Производительность (32 разряда), Гфлопс	140
Потребляемая мощность, ВА	200
Объем оперативной распределенной памяти, Мбайт	1,25
ПЛИС решающего поля XC5VLX110, шт.	16
Количество эквивалентных вентилях в ПЛИС, шт.	$11 \cdot 10^6$
Тактовая частота, МГц	250
Количество LVDS каналов, шт.	224
Скорость межмодульного обмена, Гбит/сек	>250

Структура базового модуля 16V5-75 показана на рис. 1. Вычислительное поле базового модуля содержит шестнадцать ПЛИС Virtex 5 XC5VLX110-2FF1153 фирмы Xilinx – ПЛИС, расположенных в узлах двумерной решетки 4 x 4 и соединенных между собой ортогональной системой связей по близкодействию. Связи по близкодействию позволяют существенно упростить печатную плату и улучшить ее частотные характеристики, поскольку соединения между соседними микросхемами не превышают четыре сантиметра. Данные между несмежными микросхемами передаются по транзитным каналам через промежуточные микросхемы, используя систему ортогональных связей.

Отличительной особенностью базового модуля 16V5-75 является реализация связей между ПЛИС вычислительного поля на основе стандарта LVDS.

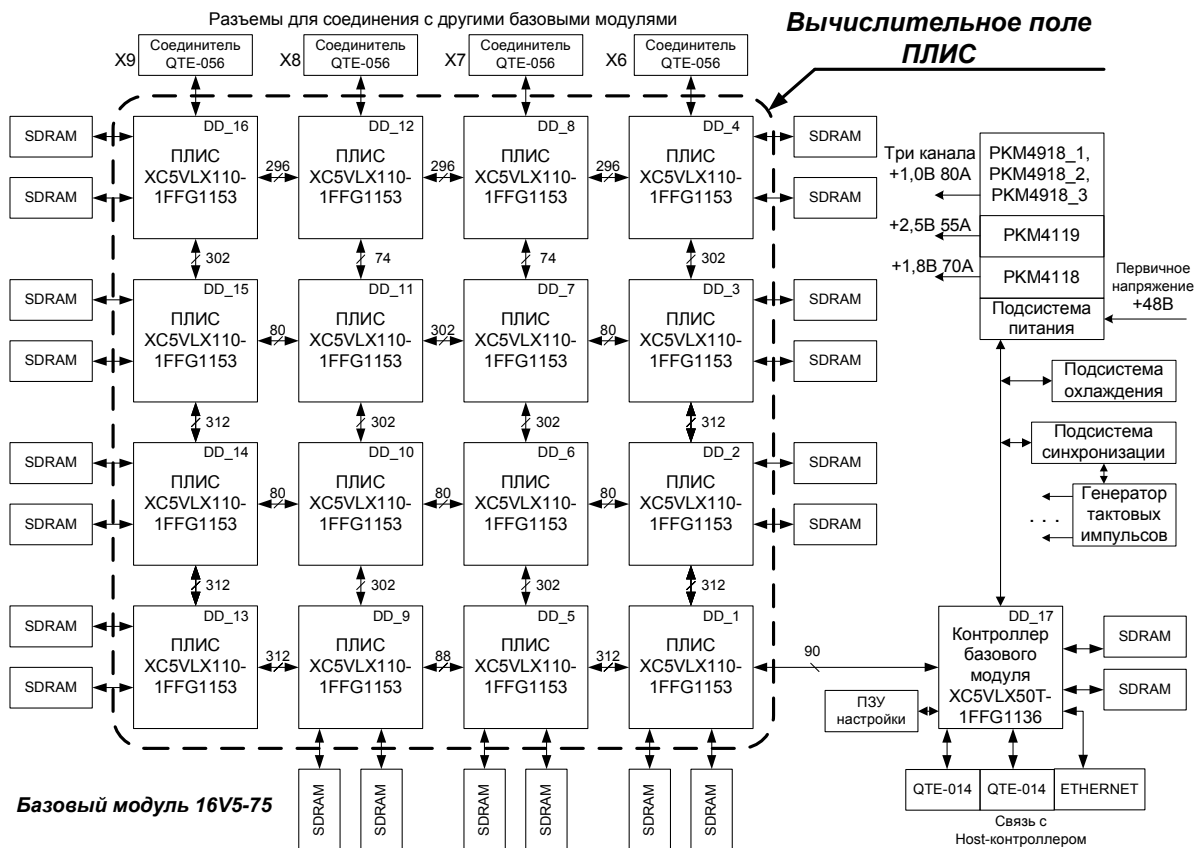


Рис. 1. Структура базового модуля 16V5-75

Стандарт LVDS позволяет снизить потребляемую мощность выходных каскадов, уменьшить уровень создаваемых электромагнитных излучений, обеспечивает невосприимчивость к синфазным электромагнитным помехам и имеет поддержку в микросхемах семейства Vertex 5 в виде аппаратно реализованных периферийных контроллеров. Физически шины связи представляют собой набор пар дифференциальных полосковых передающих линий, с обоих концов подключенных к определенным выводам микросхем. Для надежной передачи данных по LVDS в 16V5-75 задействованы специальные ресурсы семейства микросхем Vertex 5, поддерживающие алгоритм оптимальной битной и кадровой синхронизации и позволяющие учесть все нюансы линии передачи.

Для создания больших вычислительных полей базовый модуль 16V5-75 имеет специальные LVDS-разъемы QTE-056. Эти разъемы, подключенные к периферийным ПЛИС вычислительного поля базового модуля, предназначены для передачи промежуточных результатов вычислений непосредственно из микросхем данного модуля непосредственно в микросхемы вычислительных полей других базовых модулей. Передача осуществляется посредством специальных кабелей, подключаемых к соединителям типа QTE-056. Всего на каждом базовом модуле для наращивания вычислительного ресурса имеется 224 LVDS-канала, работающих на частоте 1,2 ГГц с общей пропускной способностью свыше 250 Гбит в секунду.

Базовый модуль содержит также ряд вспомогательных подсистем, которые предназначены для обеспечения его основных функций. Особое место среди них занимает контроллер базового модуля (КБМ), выполняющий функции управления всеми подсистемами базового модуля, а также функции передачи информации между базовым модулем и управляющим контроллером (ЭВМ типа IBM PC). Связь КБМ с управляющим контроллером осуществляется посредством LVDS-каналов через два разъема QTE-014, а также с помощью канала Ethernet.

На рис. 2 а показан внешний вид платы с установленными электронными элементами, а на рис. 2 б – базовый модуль 16V5-75 в сборе с подсистемой охлаждения, крепежной рамкой и кабелями LVDS.



а

б

Рис. 2. Плата базового модуля 16V5-75 *а* и базовый модуль в сборе *б*.

Таким образом, базовый модуль 16V5-75 представляет собой мощный вычислительный узел производительностью свыше 75 (140) Гфлопс. На его основе могут строиться вычислительные блоки, содержащие от одного до восьми базовых модулей производительностью от 75 до 600 (от 140 до 1120) Гфлопс. В то же время базовый модуль обладает достаточной автономностью и может легко комплексоваться с персональным компьютером типа IBM PC в качестве ускорителя и использоваться при решении различных задач.

Первый этап наращивания ресурса вычислительного поля на основе вычислительных полей базовых модулей 16V5-75 воплощен при создании рабочей станции РВС-0.2-РС и блока РВС-0.2-ВБ производительностью свыше 300 Гфлопс. Основу этих изделий составляет объединенное вычислительное поле, включающее в себя вычислительные поля четырех базовых модулей, соединенные между собой в единый вычислительный ресурс быстрыми каналами LVDS.

Рабочая станция РВС-0.2-РС является представителем семейства РВС и предназначена для решения прикладных задач проектирования изделий микроэлектроники, управления в реальном времени сложными объектами, моделирования сложных технических и природных объектов и процессов, построения систем мониторинга, дистанционного зондирования, томографии и др.

Вычислительный блок РВС-0.2-ВБ практически полностью повторяет архитектуру рабочей станции РВС-0.2-РС, однако конструкции этих изделий значительно отличаются. Конструктивные отличия определяются назначением этих изделий: рабочая станция – это настольный вариант вычислительной системы, предназначенный для автономного использования, а вычислительный блок – это встраиваемый вариант, предназначенный для комплектования стоек СТ-1Р в составе представителей семейства РВС-1Р и РВС-5 и для создания суперЭВМ различных конфигураций. Вычислительный блок РВС-0.2-ВБ обладает теми же техническими параметрами, что и рабочая станция РВС-0.2-РС, и предназначен для решения перечисленных выше задач в составе РВС-1Р и РВС-5.

Аппаратно-программные средства РВС-0.2-РС и РВС-0.2-ВБ позволяют динамически перестраивать архитектуру в процессе решения задачи на двух уровнях: программном – на уровне элементарных процессоров и каналов распределенной памяти, обеспечивающем высокую скорость реконфигурации системы на задачи из данного класса, и схемотехническом – на уровне логических ячеек ПЛИС, обеспечивающем модернизацию системы команд элементарных процессоров и высокую удельную производительность системы при переходе на задачи различных классов.

Структура рабочей станции показана на рис. 3.

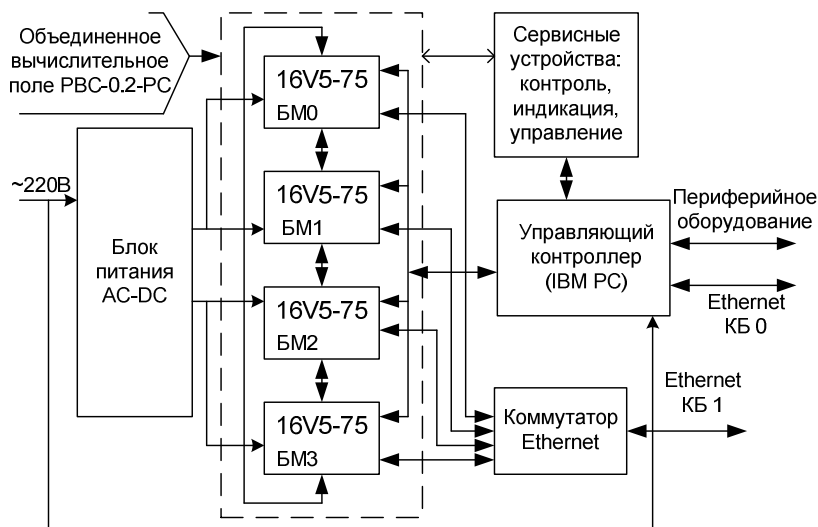


Рис. 3. Структура рабочей станции PBC-0.2-PC (PBC-0.2-ВБ)

Архитектурные отличия PBC-0.2-ВБ от PBC-0.2-PC заключаются в особенностях соединения ресурсов базовых модулей в объединенное вычислительное поле. На рис. 4 и рис. 5 показана структура связей в вычислительных полях рабочей станции PBC-0.2-PC и блоке PBC-0.2-ВБ. В вычислительном поле рабочей станции базовые модули соединяются в кольцо, а в вычислительном поле блока PBC-0.2-ВБ крайние базовые модули БМ0 и БМ3 имеют выходы за пределы блока с целью комплексования вычислительных полей нескольких изделий PBC-0.2-ВБ в единую структуру с вычислительным полем до нескольких сотен ПЛИС в составе стойки СТ-1Р. Во всем остальном архитектура PBC-0.2-ВБ совпадает с архитектурой PBC-0.2-PC.

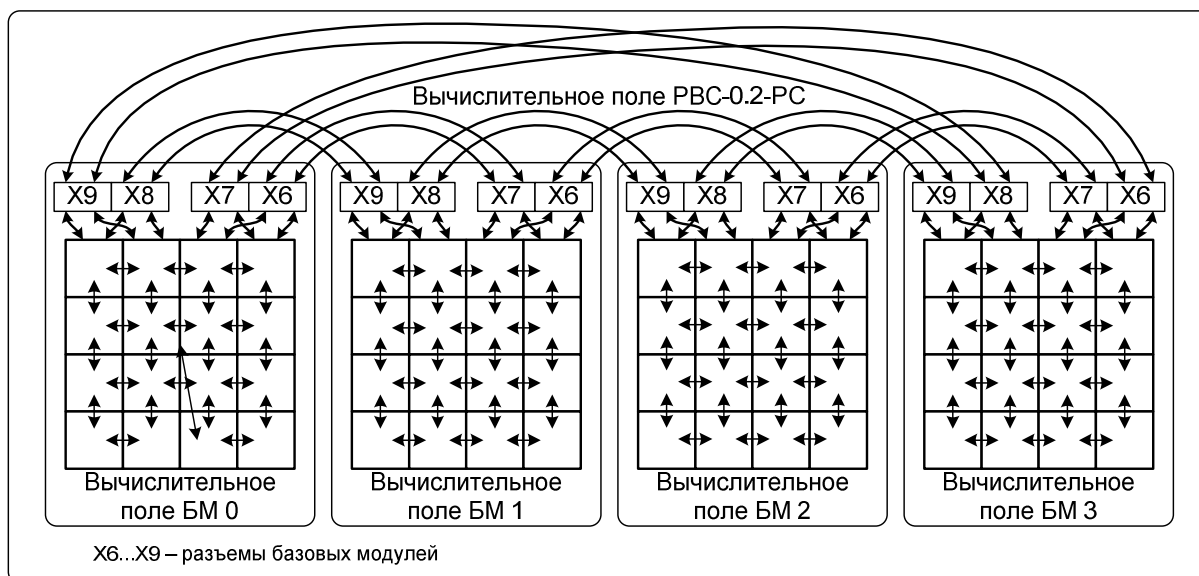


Рис. 4. Соединение базовых модулей в объединенное вычислительное поле PBC-0.2-PC

На рис. 4 и рис. 5 стрелками показаны LVDS-каналы между ПЛИС базовых модулей и LVDS-каналы, соединяющие вычислительные поля отдельных базовых модулей в общий вычислительных ресурс вычислительных полей.

Темп передачи данных между вычислительными полями любых двух базовых модулей достигает 134 Гбит в секунду. Суммарный темп передачи данных между всеми компонентами объединенного вычислительного поля PBC-0.2-PC или PBC-0.2-ВБ может достигать более 3 Тбит в секунду.

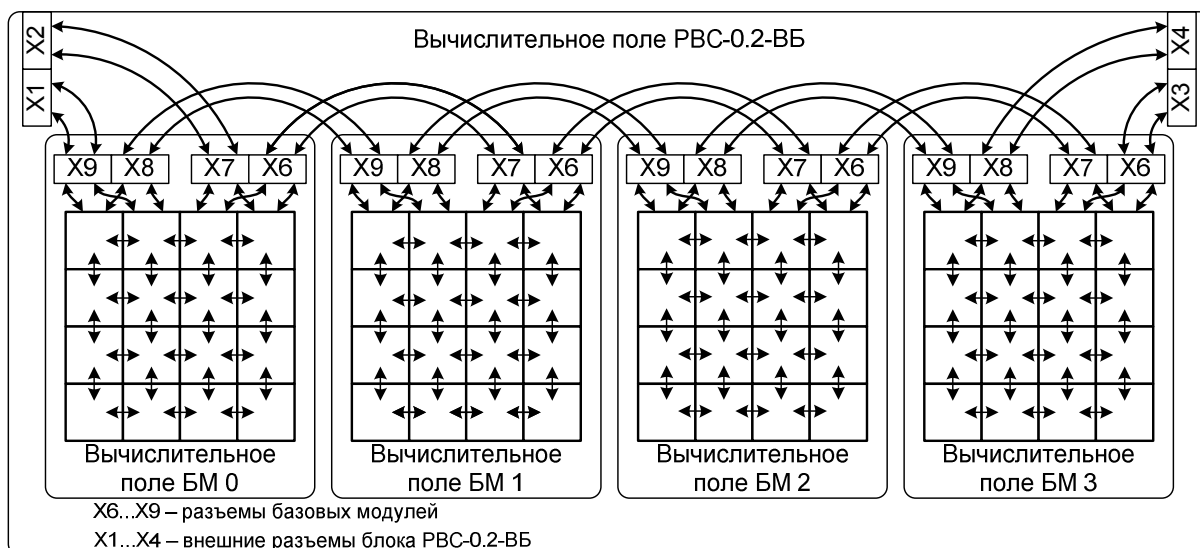


Рис. 5. Соединение базовых модулей в объединенное вычислительное поле PBC-0.2-ВБ

На рис. 6 показаны рабочая станция PBC-0.2-PC и вычислительный блок PBC-0.2-ВБ со снятыми верхними крышками. Кабели синего цвета на рис. 6а и на рис. 6б соединяют вычислительные поля отдельных базовых модулей в вычислительное поле PBC-0.2-PC или PBC-0.2-ВБ.



Рис. 6. Рабочая станция PBC-0.2-PC а и вычислительный блок PBC-0.2-ВБ

Системы охлаждения PBC-0.2-PC и PBC-0.2-ВБ имеют некоторые отличия, связанные с особенностями их назначения и эксплуатации. Автономная работа рабочей станции позволяет использовать для охлаждения ПЛИС базовых модулей только медные штыревые радиаторы и проточно-вытяжную вентиляцию корпуса PBC-0.2-PC, что, в свою очередь, приводит к уменьшению габаритов рабочей станции по сравнению с PBC-0.2-ВБ, а также к уменьшению потребляемой мощности и шумности. Вычислительный блок PBC-0.2-ВБ работает в более жестких условиях из-за наличия фонового перегрева, создаваемого другими блоками и необходимостью прогонять воздушный поток не только через корпус блока, но и через корпус стойки. Поэтому для PBC-0.2-ВБ используется система с проточной вентиляцией корпуса блока, дополненная вентиляторами прямого обдува, установленными непосредственно на медных штыревых радиаторах ПЛИС базовых модулей (см. рис. 2).

Следующий этап наращивания ресурса вычислительного поля на основе вычислительных полей блоков PBC-0.2-ВБ воплощен при создании вычислительной стойки СТ-1Р, предназначенной для комплектования PBC-1Р производительностью свыше 1,2 Тфлопс и PBC-5 производительностью свыше 6 Тфлопс.

Реконфигурируемая вычислительная система РВС-1Р предназначена для: оснащения научных центров с целью проведения исследований в области физики, химии, биологии, космоса, построения информационно-управляющих систем для управления потенциально опасными производствами, решения задач аэрокосмической, автомобильной промышленности и энергетики. Пиковая производительность РВС-1Р составляет 1200 Гфлопс.

РВС-1Р включает в себя стойку СТ-1Р с подключенным к ней периферийным оборудованием. Вычислительная стойка СТ-1Р, помимо вспомогательных подсистем, содержит четыре блока РВС-0.2-ВБ, которые составляют ее основной вычислительный ресурс. Структурная схема СТ-1Р показана на рис. 7.

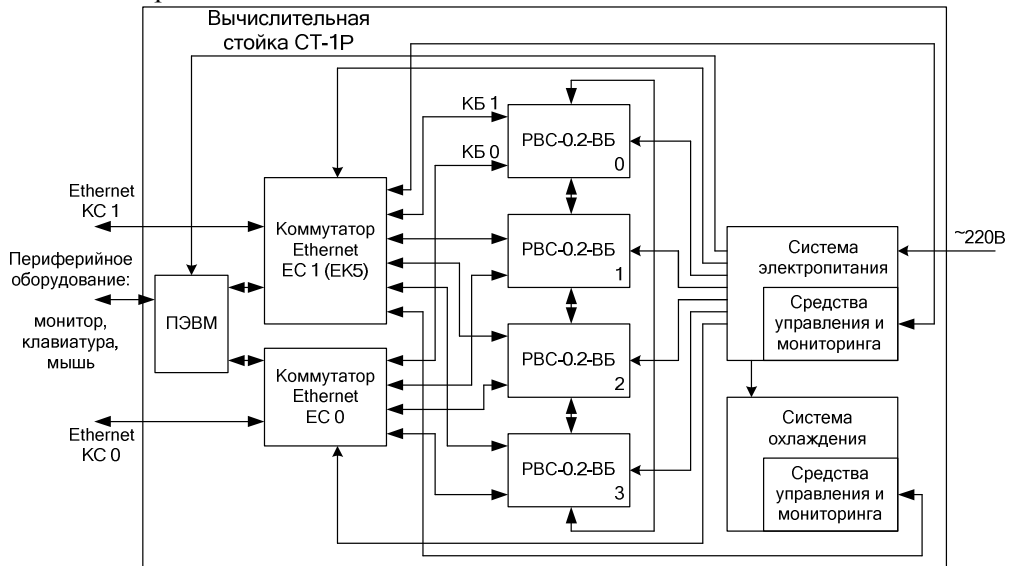


Рис. 7. Структурная схема РВС-1Р

Вычислительные поля четырех вычислительных блоков РВС-0.2-ВБ объединяются с помощью LVDS-каналов в единый вычислительный ресурс, содержащий до 16-ти базовых модулей 16V5-75 с общей пиковой производительностью 1,2 Тфлопс, как это показано на рис. 8.

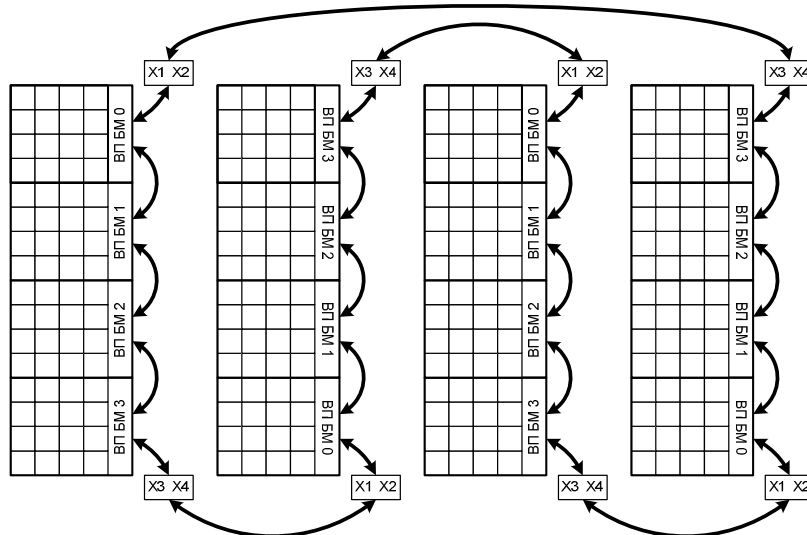


Рис. 8 Вычислительное поле стойки СТ-1Р

Межблочные связи являются продолжением межмодульных связей и, в свою очередь, продолжением связей между ПЛИС вычислительных полей базовых модулей. В целом подобная организация быстрых связей реализует в составе стойки СТ-1Р глобальный LVDS-канал передачи данных с единым темпом продвижения информации в объединенном вычислительном поле стойки, содержащем 256 ПЛИС или, с учетом их интеграции, свыше 2,8 миллиардов эквива-

лентных вентилях. Внешний вид стойки СТ-1Р вычислительной системы РВС-1Р, установленной и эксплуатируемой в вычислительном зале НИИ МВС ЮФУ, показан на рис 9.



Рис. 9. Внешний вид стойки СТ-1Р вычислительной системы РВС-1Р

Рассмотрим структуру Ethernet-связей в стойке СТ-1Р. Как было показано на рис. 3, каждый вычислительный блок РВС-0.2-ВБ имеет два канала Ethernet для связи с внешними сетями – КБ0 и КБ1. Для осуществления функций управления и мониторинга управляющие контроллеры вычислительных блоков по выходам КБ1 (см. рис. 7) соединяются между собой посредством коммутатора ЕС1 под общим управлением ПЭВМ. Сетевые выходы КБ0 блока РВС-0.2-ВБ объединяются сетевым коммутатором стойки ЕС0, посредством которого можно установить прямые связи с любым из базовых модулей в составе стойки, минуя управляющие контроллеры блоков. Такое соединение вычислительных ресурсов позволит максимально эффективно использовать возможности реконфигурируемой элементной базы вычислительной системы РВС-1Р. С одной стороны, быстрые каналы LVDS связывают вычислительные поля всех шестнадцати базовых модулей в единый вычислительный ресурс, позволяющий создавать многопроцессорную вычислительную систему со структурно-процедурной организацией вычислений в пределах четырех блоков РВС-0.2-ВБ, что дает возможность использовать все преимущества ресурсонезависимого программного обеспечения РВС. С другой стороны, система связей вычислительных блоков РВС-0.2-ВБ, благодаря сетевым технологиям, позволяет вычислительной системе РВС-1Р приобретать черты кластерной ЭВМ, где в качестве элементов кластерной системы могут выступать как блоки РВС-0.2-ВБ, так и базовые модули 16V5-75.

Старшим представителем семейства РВС является изделие РВС-5 с пиковой производительностью более 6 Тфлопс. Система РВС-5 предназначена для научно-исследовательских центров при решении прикладных задач различных предметных областей, требующих интенсивных информационных обменов, а также задач, допускающих «мелкозернистое» распараллеливание, таких как: моделирование сложных геофизических и гидродинамических процессов; цифровая обработка сигналов и изображений; молекулярное моделирование лекарств и материалов нового поколения; криптоанализ; мониторинг цифровых систем связи; томография; обработка информации и управление в реальном времени.

Вычислительная часть РВС-5 содержит пять стоек СТ-1Р, коммутатор Ethernet ЕК5 и управляющую ЭВМ (УЭВМ). К управляющей ЭВМ с целью взаимодействия с оператором и

для контроля состояния системы подключаются монитор, клавиатура, ручной манипулятор («мышь») и другие периферийные устройства.

Основным вычислительным ресурсом РВС-5 являются вычислительные поля пяти стоек СТ-1Р. Между ПЛИС вычислительных полей стоек нет непосредственных быстрых LVDS-каналов и в этом плане нет смысла говорить об объединенном вычислительном поле РВС-5. В РВС-5 одновременно функционируют пять вычислительных полей объемом 256 ПЛИС, расположенных в пяти стойках СТ-1Р. Однако фрагменты этих вычислительных полей, составленные из вычислительных полей базовых модулей 16V5-75, блоков РВС-0.2-ВБ и стоек СТ-1Р, могут соединяться множеством различных способов с помощью Ethernet-связей с использованием сетевых технологий под общим управлением УЭВМ. Один из возможных способов соединения вычислительных ресурсов РВС-5 показан на рис. 10. Приведенная схема соединения может реализовать, как один из вариантов, сеть типа 2D-тор для вычислительных полей блоков РВС-0.2-ВБ.

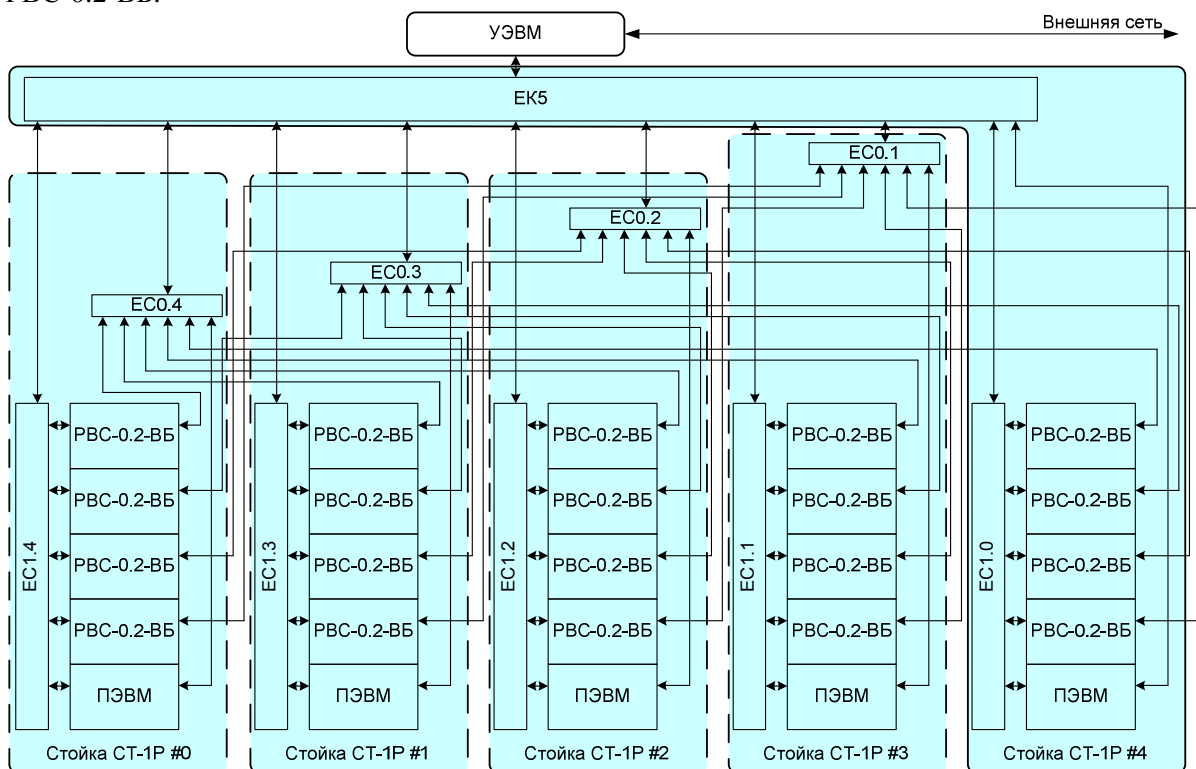


Рис. 10. Сетевое соединение фрагментов вычислительных полей РВС-5

Современная концепция построения высокопроизводительных РВС и их базовых модулей на основе ПЛИС сложилась к началу 2000-х годов, когда для этого появилась возможность использования логических матриц с интеграцией в несколько миллионов эквивалентных вентилях. В период с 2000 по 2009 годы в НИИ МВС ЮФУ были созданы десятки типов базовых модулей и более десяти РВС различной производительности и назначения на их основе. В этом плане представляет несомненный интерес процесс эволюции аппаратной платформы высокопроизводительных РВС, созданных в НИИ МВС ЮФУ, поскольку он отражает передовой научно-технический уровень в области создания систем с большими вычислительными полями на основе ПЛИС.

В качестве примера рассмотрим характеристики базовых модулей 16P25 и 16M50 [4, 6] в сравнении с характеристиками описанного выше базового модуля 16V5-75. В качестве объекта для сравнения с блоком РВС-0.2-ВБ целесообразно взять блок М200, созданный в 2006 году в НИИ МВС ЮФУ по Государственному контракту № 02.447.11.1007 в рамках федеральной целевой программы «Исследования и разработки по приоритетным направлениям развития науки и техники на 2002-2006 гг.». Блок М200 включает четыре базовых модуля 16M50.

На рис. 11 показаны графики суммарной скорости передачи данных в каналах между распределенной памятью и вычислительным полем, в каналах межмодульного обмена и во каналах обмена между ПЛИС вычислительного поля.

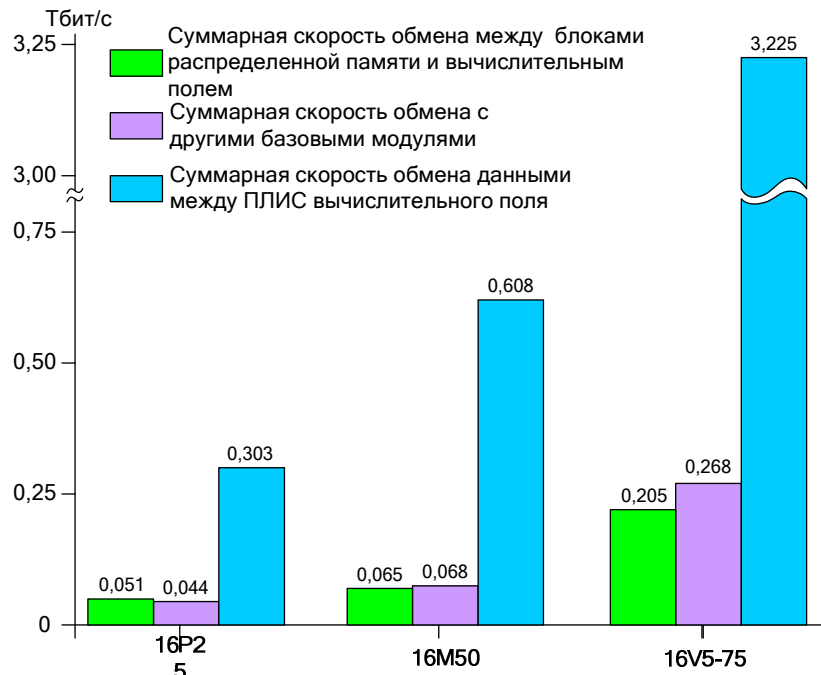


Рис. 11. Графики суммарной скорости передачи в каналах базовых модулей

В базовых модулях 16P25 и 16M50 связи между ПЛИС вычислительного поля выполнены в виде обычных соединений печатными проводниками и рассчитаны на темп передачи данных 100 и 200 МГц, межмодульные связи выполнены на основе стандарта LVDS с темпом передачи 400 и 640 МГц. На базовом модуле 16V5-75 связи между ПЛИС вычислительного поля и межмодульные связи реализованы на основе стандарта LVDS на частоте 1200 МГц, что позволило существенно (в 3 – 4 раза) увеличить суммарную пропускную способность как внутримодульных, так и межмодульных каналов передачи данных.

На рис. 12 показаны графики производительности базовых модулей для операций с плавающей запятой одинарной точности и байтных операций в секунду для задач символьной обработки.

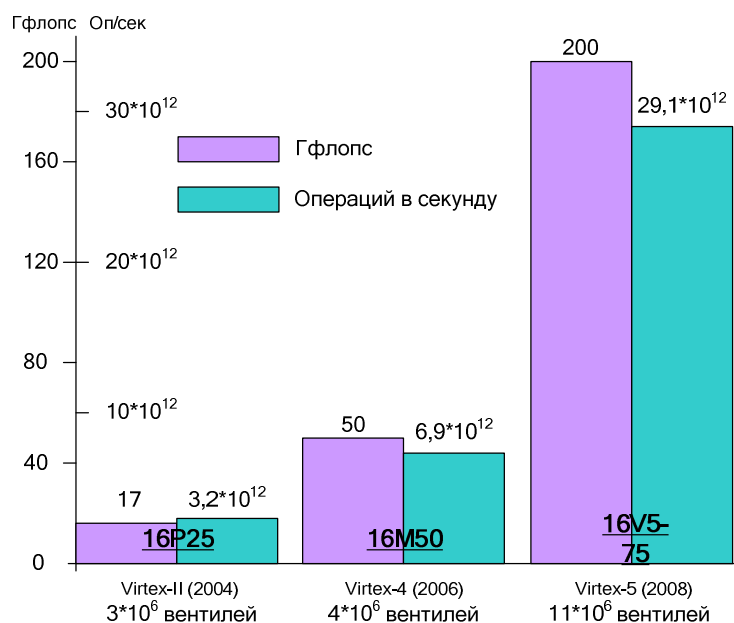


Рис. 12. Графики производительности базовых модулей

Сравним по ряду параметров вычислительные блоки М200 и блок РВС-0.2-ВБ, содержащие по четыре базовых модуля 16М50 и 16V5-75.

На рис. 13 показаны значения реальной производительности вычислительных блоков М200 и РВС-0.2-ВБ.

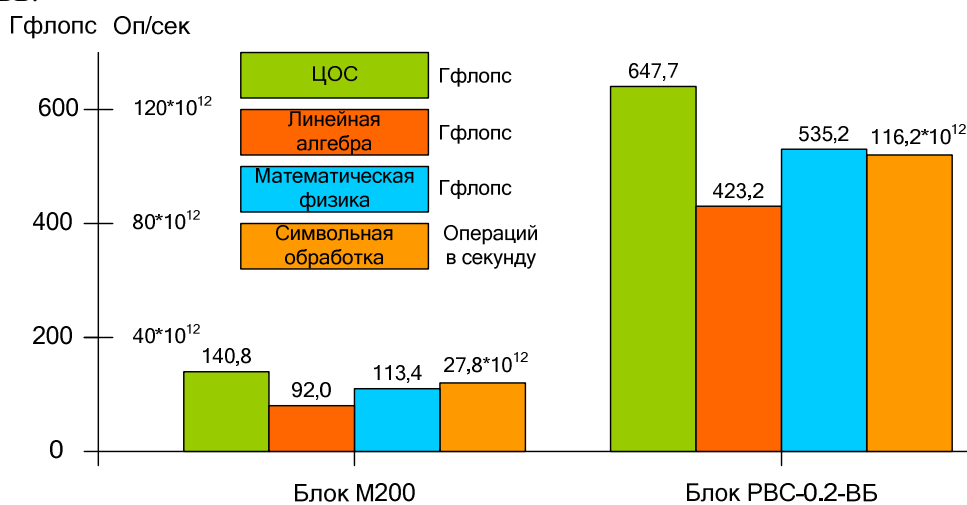


Рис. 13. Значения реальной производительности вычислительных блоков М200 и РВС-0.2-ВБ

Показатели «компактности» – отношение производительности вычислительных блоков к объему и «эффективности» – отношение стоимости блоков к производительности – приведены на рис. 14.

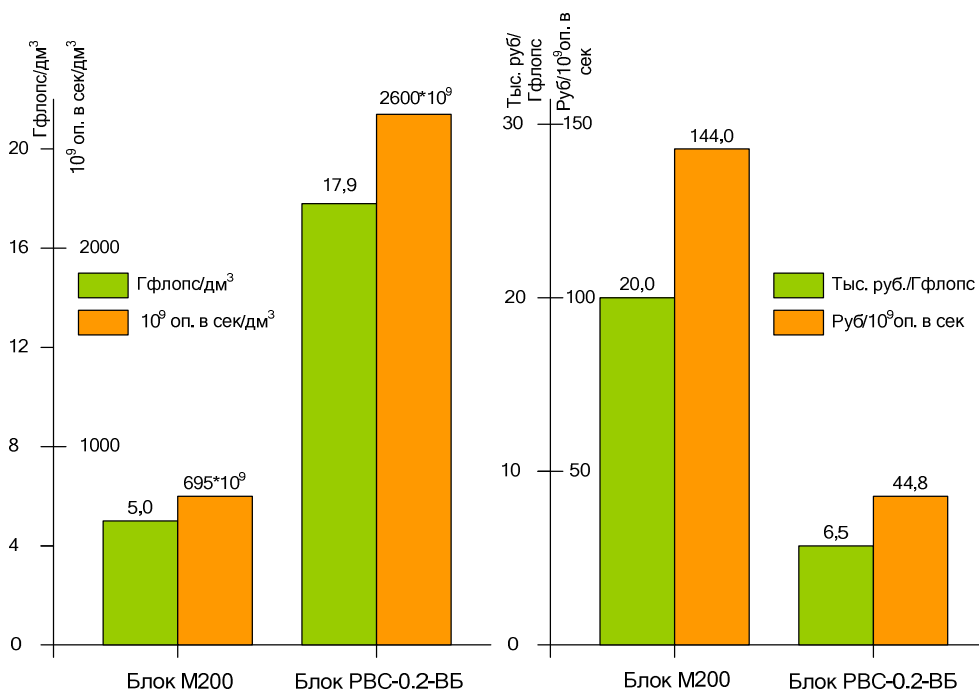


Рис. 14. Значения показателей «компактности» и «эффективности» блоков М200 и РВС-0.2-ВБ

Высокие показатели производительности, компактности и эффективности базового модуля 16V5-75 и блока РВС-0.2-ВБ на его основе достигнуты не только за счет прогресса в области ПЛИС, но и за счет целого комплекса прогрессивных технических решений, положенных в их основу. Технические параметры базового модуля 16V5-75 и блока РВС-0.2-ВБ позволили выполнить все требования, предъявляемые к представителям семейства РВС, заложенные в Государственном контракте № 02.524.12.4002. Базовый модуль 16V5-75 и блок РВС-0.2-ВБ могут

служить основой для создания РВС различных конфигураций с реальной производительностью от 200 Гфлопс до 20 Тфлопс.

Литература

1. Аладышев О.С., Дикарев Н.И., Овсянников А.П. и др. СуперЭВМ: области применения и требования к производительности - Известия ВУЗов. Электроника, 2004. - №1. – С. 13-17.
2. Воеводин В.В., Воеводин Вл.В. Параллельные вычисления. - С.-Петербург: «БХВ-Петербург», 2002. – 599 с.
3. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. - М.: Янус-К, 2003. – 380 с.
4. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультиконвейерные вычислительные структуры /Изд. 2-е, перераб. и доп. / Под общ. Ред. И.А. Каляева. - Ростов-на-Дону: Изд-во ЮНЦ РАН, 2009. – 344 с.
5. Каляев И.А., Левин И.И. Семейство реконфигурируемых вычислительных системы с высокой реальной производительностью // Труды международной научной конференции «Параллельные вычислительные технологии» (ПАВТ'2009). – Нижний Новгород: электронное издание НГУ имени Н.И. Лобачевского, 2009. – С.186-196.
6. Беседин И.В., Дмитренко Н.Н., Каляев И.А., Левин И.И., Семерников Е.А. Семейство базовых модулей для построения реконфигурируемых многопроцессорных вычислительных систем со структурно-процедурной организацией вычислений // Материалы Всероссийской научной конференции «Научный сервис в сети Интернет: технологии распределенных вычислений», г. Новороссийск. – М.: Издательство Московского университета, 2006. – С. 47-49.