

РЕКОНФИГУРИРУЕМЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ С ВЫСОКОЙ РЕАЛЬНОЙ ПРОИЗВОДИТЕЛЬНОСТЬЮ

И.А. Каляев, И.И. Левин

В статье рассматриваются вопросы создания высокопроизводительных реконфигурируемых вычислительных систем (РВС), в которых в качестве основного вычислительного элемента используются программируемые логические интегральные схемы (ПЛИС). Аппаратно-программные средства РВС реализуют структурно-процедурный принцип организации вычислений, позволяют довести реальную производительность до 60% от пиковой производительности на широком классе задач и обеспечивают практически линейный рост производительности при наращивании аппаратного ресурса. Программное обеспечение РВС позволяет автоматизировать создание как процедурной, так и структурной составляющих параллельных программ.

В настоящее время многопроцессорные вычислительные системы используются в различных областях науки и техники, а также в промышленности и экономике. В то же время реальная производительность многопроцессорных систем, ориентированных на традиционные методы организации параллельных вычислений, зачастую не превышает 10÷15% от заявляемой пиковой производительности вследствие необходимости реализации множества процедур межпроцессорного обмена, а также синхронизации последовательных процессов, выполняемых в процессорах системы [1]. Более того, для задач, требующих интенсивных, но нерегулярных межпроцессорных обменов и обращений к системе распределенной памяти, реальная производительность системы снижается до 1%. Основная причина – это несоответствие между «жесткой» архитектурой многопроцессорной системы и информационной структурой широкого класса решаемых задач.

Данный недостаток позволяет устранить многопроцессорные вычислительные системы с «гибкой», динамически перестраиваемой (программируемой) архитектурой, подстраиваемой под информационную структуру каждой конкретной задачи, решаемой в текущий момент времени на таком компьютере [2-3]. Практическое внедрение данной концепции сдерживалось отсутствием необходимой для ее реализации реконфигурируемой элементной базы. В последние годы такая элементная база на рынке появилась – это программируемые логические интегральные схемы (ПЛИС) высокой степени интеграции. На основе ПЛИС возможно без привлечения больших финансовых затрат создавать вычислительные системы, существенно опережающие зарубежные аналоги по таким характеристикам как соотношение «реальная производительность/пиковая производительность» (эффективность) и «реальная производительность/объем» (компактность) [4].

По этому пути уже идут ведущие мировые производители: компания Cray предлагает снабдить процессоры Opteron на двухпроцессорной платформе помощником в виде дополнительного модуля на базе ПЛИС Virtex 4 (DRC Coprocessor Module), включаемого во второй сокет Opteron-процессора. На DRC Coprocessor Module возлагается решение трудоемких для универсального процессора задач. В то же время западные производители используют ПЛИС в качестве сопроцессоров универсальным микропроцессорам. Концепция же построения систем с программируемой архитектурой предполагает использовать ПЛИС в качестве основных вычислительных компонентов для создания динамически реконфигурируемых вычислительных систем (РВС), адаптируемых под структуру решаемой задачи, в то время как небольшое количество универсальных микропроцессоров выполняет вспомогательные функции: загрузку конфигураций ПЛИС, тестирование, распределение вычислительной нагрузки, загрузку исходных данных, визуализацию результатов и т.п.

Теоретические положения концепции многопроцессорных систем с программируемой архитектурой подтверждены созданием в НИИ многопроцессорных вычислительных систем име-

ни академика А.В. Каляева Южного федерального университета (НИИ МВС ЮФУ) целого ряда экспериментальных образцов РВС различных конфигураций на базе ПЛИС - от малогабаритных одноплатных устройств до систем, содержащих тысячи процессоров. В частности, в рамках ФЦНТП «Исследования и разработки по приоритетным направлениям науки и техники» на 2002-2006 годы была создана модульно-наращиваемая РВС с производительностью 200 Гфлопс в объеме всего 40 дм³. Данная система показала исключительно высокую реальную производительность на широком классе задач линейной алгебры, цифровой обработки сигналов, математической физики, символьной обработки, криптографии и других, работая с эффективностью не менее 60%.

В НИИ МВС ЮФУ серийно выпускается реконфигурируемый ускоритель, подключаемый по Гбит-Ethernet каналу к персональному компьютеру и содержащий 4 ПЛИС.

В настоящее время в НИИ МВС ЮФУ выполняется госконтракт 02.524.12.4002 «Создание семейства высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой на основе реконфигурируемой элементной базы и их математического обеспечения для решения вычислительно трудоемких задач» в рамках ФЦП «Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2007-2012 годы».

В рамках проекта создается семейство РВС: высокопроизводительные системы отраслевого уровня производительностью 5 Тфлопс (РВС-5), уровня крупных организаций или научных центров производительностью 1 Тфлопс (РВС-1), рабочая станция уровня средних организаций производительностью 200 ГФлопс (РВС-0.2-РС), а также ускорители для персональных компьютеров производительностью 50 и 25 ГФлопс (РУПК-50 и РУПК-25).

Основными вычислительными узлами семейства реконфигурируемых вычислительных систем являются базовые модули. Каждый базовый модуль (БМ) в своем составе содержит решающее поле на основе 16 ПЛИС, 20-канальную распределенную память, контроллер базового модуля (КБМ), подсистемы загрузки и синхронизации ПЛИС, подсистему обмена информацией по каналам LVDS, подсистемы питания и охлаждения.

Базовый модуль 16V5-75 «Алькор» предназначен для укомплектования рабочей станции РВС-0.2-РС и вычислительного блока РВС-0.2-ВБ, на основе которого построены старшие представители семейства РВС-1Р и РВС-5. Плата базового модуля «Алькор» содержит 16 ПЛИС серии Virtex5 фирмы Xilinx, емкостью 11 миллионов эквивалентных вентилей каждый. Состав базового модуля позволяет реализовать 256 устройств с плавающей запятой с 64-разрядным форматом данных или 512 устройств с плавающей запятой с 32-разрядным форматом данных. При этом устройства и каналы распределенной памяти базового модуля связаны пространственной коммутационной системой. Технические решения обеспечивают скорости обмена между компонентами базового модуля с частотой 1,2 ГГц по каждому информационному каналу. Внешний вид платы базового модуля 16V5-75 «Алькор» представлен на рисунке 1.



Рисунок 1 - Внешний вид базового модуля 16V5-75 «Алькор»

Базовый модуль 16S3-25 «Мерак» предназначен для комплектования РУПК-25 и конструктивно состоит из печатной платы базового модуля 16S3-25 с напаянными компонентами, радиаторов охлаждения ПЛИС, закрепленных с помощью специальных зажимов и четырех вентиляторов, улучшающих отвод тепла.

Плата базового модуля «Мерак» содержит 16 ПЛИС серии Spartan 3 фирмы Xilinx емкостью $4 \cdot 10^6$ эквивалентных вентилялей каждый. Состав базового модуля позволяет реализовать 128 устройств с плавающей запятой с 64-разрядным форматом данных или 256 устройств с плавающей запятой с 32-разрядным форматом данных, которые связаны между собой и каналами распределенной памяти пространственной коммутационной системой. Внешний вид платы базового модуля 16S3-25 представлен на рисунке 2.



Рисунок 2 - Внешний вид базового модуля 16S3-25 «Мерак»

Основным требованием при разработке конструкции базового модуля 16S3-25 являлось уменьшение габаритных размеров платы базового модуля с целью выполнения требований технического задания в части объема представителя семейства РУПК-25.

Реконфигурируемые системы PBC-1P и PBC-5 строятся на основе вычислительной стойки СТ-1P, которая в своем составе содержит:

- 19" шкаф Rittal TS-8 (стандарта МЭК 297 Евромеханика) высотой 2200 мм, шириной 600 мм, глубиной 1000 мм, размер вертикального проема для установки блоков - 47U;
 - четыре блока PBC-0.2-ВБ;
 - встраиваемую промышленную ЭВМ (далее – ПЭВМ);
 - два коммутатора D-LINK DGS-1224T;
 - источник бесперебойного питания APC Smart-UPS RT 10,000VA RM 230V.
- Внешний вид вычислительного блока PBC-0.2-ВБ представлен на рисунке 3.



Рисунок 4 - Внешний вид PBC-0.2-ВБ

Все составные части вычислительного блока размещены в металлическом корпусе шириной 432 мм, высотой 264 мм и глубиной 600 мм. Базовые модули расположены вертикально и зафиксированы в направляющих в местах наиболее эффективного охлаждения их вентиляторами. Системная плата управляющего контроллера расположена вертикально на правой стенке корпуса таким образом, что интерфейсные разъемы выходят на заднюю стенку корпуса изделия. Накопитель HDD-160GB-SATA/3,5" расположен горизонтально в заднем отсеке корпуса и закреплен при помощи уголков к днищу корпуса вычислительного блока. Устройство сопряжения установлено в слот PCI-E системной платы и жестко зафиксировано винтом на задней панели корпуса. На левой стенке корпуса также предусмотрено место для установки коммутатора Ethernet с целью расширения функциональных возможностей вычислительного блока. Все электрические соединения устройств и блоков PBC-0.2-ВБ осуществляются гибкими жгутами и кабелями.

Базовые модули в составе PBC-0.2-ВБ соединены между собой посредством кабелей LVDS, с помощью которых реализована также возможность соединения вычислительных блоков между собой в составе стойки СТ-1Р.

Внешний вид реконфигурируемой вычислительной системы PBC-1P представлен на рисунке 4. Основные технические характеристики реконфигурируемой вычислительной системы PBC-1P представлены в таблице 1.



Рисунок 4 - Внешний вид реконфигурируемой вычислительной системы PBC-1P

Таблица 1 - Технические характеристики PBC-1P

Технический параметр	Значение
Количество БМ, шт.	16
Число ПЛИС, шт.	256
Число элементарных процессоров, шт	4096
Число эквивалентных вентиляей, шт	$2,8 \cdot 10^9$
Производительность, Гфлопс,	1000
Объем оперативной памяти, Гбайт, не менее	22(с учетом памяти КБМ)
Потребляемая мощность, кВт, не более	4,8

Вычислительные блоки, ПЭВМ, ИБП, устанавливаемые в стойку, имеют встроенные вентиляторы, прогоняющие воздух через их внутренний объем. В вычислительной стойке устройства расположены таким образом, что с фронтальной и тыльной сторон имеются полости для циркуляции воздуха. Это позволило установить перфорированные переднюю дверцу и заднюю стенку, которые предусматриваются стандартной комплектацией стоек. Значительная перфорация (до 78 % поверхности) задней стенки и дверцы позволяет обеспечить удаление из стойки прогретого воздуха.

В таком конструктивном варианте эксплуатация вычислительной стойки должна осуществляться в помещении, оборудованном системой кондиционирования воздуха, достаточной для поддержания рабочего температурного режима, соответствующего климатическому исполнению УХЛ 4.1.

Для эксплуатации в более жестких климатических условиях использование стандартной 19” стойки дает возможность для применения специального охлаждающего оборудования, широко предлагаемого производителем стоек Rittal.

Стойка СТ-1Р может служить основой для построения как системы РВС-1Р, так и системы РВС-5 – в ней выполнены только те Ethernet-подключения, которые необходимы для обеих реконфигурируемых систем. При построении РВС-1Р осуществлены дополнительные подключения, необходимые для функционирования РВС-1Р.

Реконфигурируемая рабочая станция РВС-0.2-РС имеет в своем составе:

- четыре базовых модуля 16V5-75 «Алькор», которые объединены быстрыми LVDS-каналами передачи данных;
- устройство сопряжения, обеспечивающее соединение базовых модулей с управляющим контроллером посредством LVDS-каналов;
- плату контроля, обеспечивающую проверку работоспособности вентиляторов подсистемы охлаждения;
- панель индикации, обеспечивающую формирование управляющих сигналов от кнопок органов управления, расположенных на лицевой панели изделия, и вывод информации на лицевую панель о текущем состоянии базовых модулей и УК;
- управляющий контроллер типа IBM PC, обеспечивающий управление работой РВС-0.2-РС, выполнение функций контроля и связи с внешними устройствами и подключение к информационным сетям;
- подсистему электропитания;
- подсистему охлаждения.

Внешний вид РВС-0.2-РС представлен на рисунке 5.



Рисунок 5 – Внешний вид РВС-0.2-РС

Технические характеристики РВС-0.2-РС представлены в таблице 2.

Таблица 2 - Технические характеристики РВС-0.2-РС

Технический параметр	Значение
Количество БМ, шт.	4
Число ПЛИС, шт.	64
Число элементарных процессоров, шт.	1024
Число эквивалентных вентиляей, шт.	$0,7 \cdot 10^9$
Производительность, Гфлопс	300
Объем оперативной памяти, Гбайт	5,6
Потребляемая мощность, кВт, не более	1,2

Все устройства, входящие в состав РВС-0.2-РС, размещены в металлическом корпусе шириной 414 мм, высотой 264 мм и глубиной 409 мм. Базовые модули расположены вертикально и зафиксированы в направляющих в местах наиболее эффективного охлаждения их вентиляторами. Над платой контроля расположен коммутатор Ethernet. Для установки на столе предусмотрены пластиковые ножки.

В РВС-0.2-РС для охлаждения тепловыделяющих ПЛИС базовых модулей реализована проточно-вытяжная система вентиляции корпуса. Это позволило добиться минимальных габаритов РВС-0.2-РС при высокой эффективности охлаждения за счет отсутствия дополнительных вентиляторов на базовых модулях.

Ускорители РУПК-25 и РУПК-50 предназначены для работы в качестве ускорителя персональных компьютеров при решении вычислительно трудоемких задач. При разработке конструкции РУПК-25 и РУПК-50 преследовалась цель создать максимально компактные, легкие переносные устройства, отвечающие современным требованиям технического дизайна и эргономики. При этом внимание было уделено максимальной унификации этих изделий с целью сокращения стоимости производства. Внешний вид ускорителей РУПК-25 и РУПК-50 приведен на рисунках 6 и 7 соответственно.



Рисунок 6 – Внешний вид РУПК-25



Рисунок 7 – Внешний вид РУПК-50

Основные технические характеристики ускорителей персонального компьютера РУПК-25 «Мерак» и РУПК-50 «Фекда» представлены в таблице 3.

Таблица 3- Основные технические характеристики реконфигурируемых ускорителей

Технический параметр	РУПК-25	РУПК-50
Количество БМ, шт.	1 – («Мерак»)	1 - («Фекда»)
Число ПЛИС, шт.	16	16
Число элементарных процессоров, шт.	128	256
Число эквивалентных вентиляей, шт.	$64 \cdot 10^6$	$176 \cdot 10^6$
Производительность, Гфлопс, не менее	25	50
Объем оперативной памяти, Гбайт, не менее	1,5	1,5
Потребляемая мощность, Вт, не более	200	300

Для ускорителей РУПК-25 и РУПК-50 с целью унификации разработан единый металлический корпус шириной 440 мм, высотой 76 мм и глубиной 294 мм, внутри которого располагаются следующие элементы.

Базовый модуль 16S3-25 (16V5-50 – для РУПК-50) установлен на днище корпуса между группами втяжных и вытяжных вентиляторов, причем разъем Ethernet базового модуля выходит на правую боковую стенку корпуса.

Для питания вторичных источников базового модуля используется малогабаритный блок питания S-350-48 мощностью 350 Вт.

Для обеспечения охлаждения РУПК-25 и РУПК-50 реализована комбинированная схема охлаждения, предусматривающая кроме воздушного охлаждения с принудительной проточной вентиляцией корпуса еще дополнительное охлаждение тепловыделяющих микросхем реконфигурируемого поля за счет кондуктивной передачи их тепла на обдуваемые радиаторы. Охлаждение ПЛИС внутри корпуса осуществляется за счет обдува радиаторов установленными на них вентиляторами, а удаление нагретого воздуха из корпуса - за счет нагнетающих и вытяжных вентиляторов, расположенных на передней и задней стенках корпуса ускорителей РУПК-25 и РУПК-50.

Подсистема охлаждения состоит из 6-ти вентиляторов, 3 из которых расположены на передней панели и 3 - на задней панели корпуса. Непосредственно над медными радиаторами ПЛИС базового модуля дополнительно установлены 4 вентилятора.

Компоновка системы РВС-5 представлена на рисунке 8.

В данном решении стойки СТ-1Р и периферийное оборудование размещены в ряд, в этом случае оптимально обеспечиваются подход к оборудованию и его обзор, занимаемая площадь - 4 м².

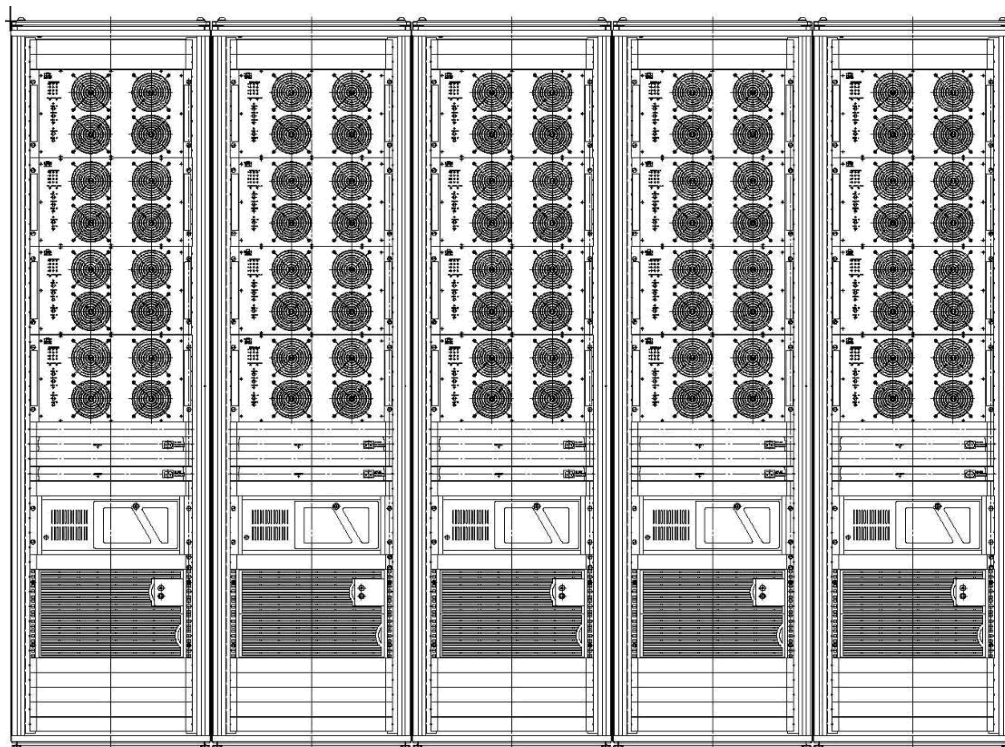


Рисунок 8 - Компоновка оборудования в составе РВС-5

Размещение составляющих РВС-5 может варьироваться в зависимости от состава и особенностей того или иного помещения.

Построение системы РВС-5 на основе вычислительной стойки СТ-1Р осуществляется путем соединения стоек СТ-1Р между собой по каналам Ethernet.

Программирование РВС можно условно разделить на две составляющие. Первая - структурная составляющая – предполагает создание в базовой архитектуре РВС специализированной вычислительной структуры, адекватно соответствующей решаемой задаче. Вторая - процедурная составляющая – организует вычислительный процесс в созданной структуре.

Известно, что создание конфигурационных файлов для программирования ПЛИС является трудоемким делом и требует специальных знаний и навыков. Поэтому основной целью созда-

ния программного комплекса средств разработки прикладных программ семейства PBC является предоставление пользователю возможностей, которые позволят создавать программы без привлечения специальных знаний в области схемотехники ПЛИС. Основными задачами программного комплекса средств разработки является эффективная реализация вычислительно трудоемких фрагментов задач различных проблемных областей на произвольном количестве взаимосвязанных кристаллов ПЛИС и произвольном количестве базовых модулей CPBC.

В большинстве случаев пользователь при программировании PBC оперирует готовыми конфигурационными файлами, находящимися в библиотеках IP-ядер и интерфейсов и содержащих оптимизированные для выполнения функционально-законченные фрагменты задач типовых проблемных областей. В случае отсутствия необходимой библиотеки она может быть создана средствами разработки конфигурационных файлов ПК СПО или средствами языка высокого уровня. В автоматизированном режиме может быть получено комплексное решение задачи, включающее как программу, так и конфигурационные файлы для PBC. В последнем случае, в силу универсальности, может наблюдаться уменьшение производительности по сравнению с оптимизированным решением.

Программный комплекс средств разработки прикладных программ семейства PBC содержит: язык ассемблера Argus v.3.0; язык структурно-процедурного программирования высокого уровня COLAMO v.2.0; интегрированную среду разработки параллельных прикладных программ Argus IDE v.3.0, поддерживающую языки программирования Argus v.3.0 и COLAMO v.2.0; отладчик параллельных программ на базовых модулях семейства PBC, поддерживающий межмодульные связи; программный интерфейс доступа к вычислительным ресурсам всех представителей семейства реконфигурируемых вычислителей из различных сред программирования; среду разработки вычислительных структур Fire!Constructor для синтеза масштабируемых параллельно-конвейерных процедур, оперирующую библиотекой многокристалльных схемных решений (IP-ядер).

Схема создания загрузочных файлов ПЛИС с участием среды разработки вычислительных структур Fire!Constructor приведена на рисунке 9.

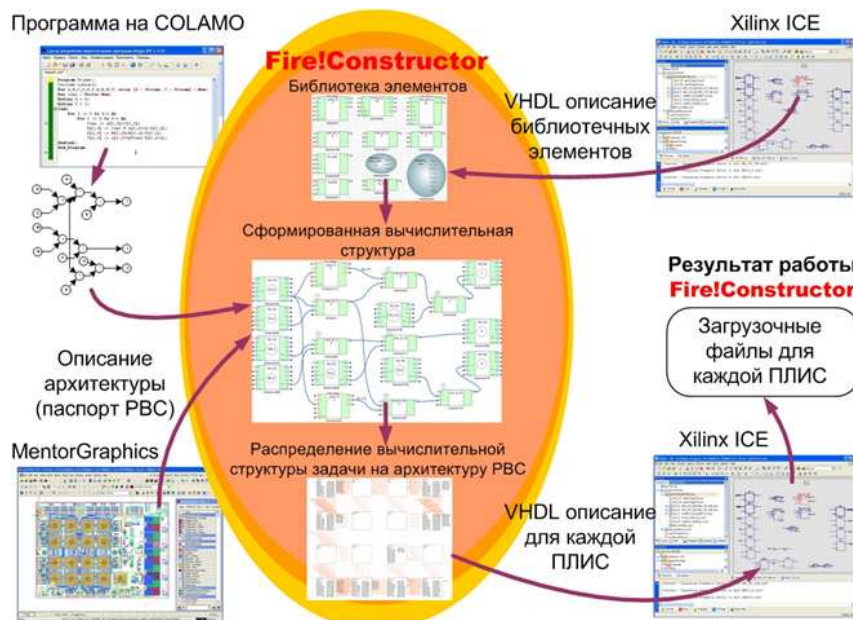


Рисунок 9 - Схема создания загрузочных файлов ПЛИС

Язык структурно-процедурного программирования высокого уровня COLAMO v.2.0 обеспечивает синтаксическую поддержку реконфигурации аппаратной платформы PBC и возможность использования элементов библиотеки масштабируемых IP-ядер. Транслятор COLAMO v.2.0 для всех представителей семейства PBC обеспечивает трансляцию исходного кода программы в структурную и процедурную составляющие.

В среде Fire!Constructor на основе библиотеки IP-ядер и структурной составляющей создается граф-схема взаимодействия аппаратных блоков вычислительного алгоритма, реализуемая

в ПЛИС базовых модулей (структурная компонента кадровой модели вычислений). Граф-схема может быть введена пользователем или синтезирована транслятором языка COLAMO. Средствами среды граф-схема транслируется в язык описания аппаратуры (VHDL). На основе стандартных средств Xilinx производится разводка схемы, описанной на VHDL, в загрузочные файлы для каждой ПЛИС базовых модулей. Конфигурирование ПЛИС модулей производится с помощью специальной программы загрузчика.

В среде Argus IDE на языке высокого уровня COLAMO или ассемблере Argus v.3.0 разрабатываются программы контроллеров распределенной памяти базовых модулей (поточковый и процедурный компоненты кадровой модели вычислений). Исполняемый код параллельной программы поступает на транслятор с языка COLAMO или Argus, где транслируется в исполняемый (загрузочный) код параллельной программы. В случае если в исходном коде параллельной программы транслятором были найдены ошибки, то список ошибок и предупреждений возвращается среде Argus IDE с целью их устранения программистом. Исполняемый модуль параллельной программы загружается в сегменты памяти базовых модулей либо с помощью отладчика, либо с помощью специальной программы-загрузчика.

Следует отметить возможность портации прикладных программ для исполнения на любом представителе семейства PBC. Для этой цели в состав системного программного обеспечения введен конвертор описания архитектур, который формирует специальный паспорт для синтезаторов среды Fire!Constructor.

Программный доступ к базовым модулям осуществляется через единый программный интерфейс, позволяющий использовать функции загрузки/выгрузки и управления вычислительным процессом на традиционных языках программирования (C++, Object Pascal, Java и т.д.) с помощью подключаемых к проекту библиотек интерфейса. Это позволит использовать младшие модели семейства (РУПК-50 и РУПК-25) по их прямому назначению в уже существующих у конечного пользователя вычислительных проектах и существенно облегчит программирование и масштабирование прикладных решений для старших моделей семейства PBC.

Средства администрирования вычислительных ресурсов PBC, необходимые для обеспечения доступа и управления вычислительными ресурсами базовых модулей всех представителей семейства PBC, состоят из сервера удаленного доступа к вычислительным ресурсам, обеспечивающего обработку удаленных заявок на использование вычислительных ресурсов и поддерживающего очередь заявок с учетом приоритетов пользователей и клиентской части удаленного доступа, обеспечивающей прозрачный, с точки зрения пользователя, режим доступа и функционирования удаленных базовых модулей системы.

Основное назначение системы – упростить доступ и администрирование старших систем семейства (PBC-1 и PBC-5), содержащих большое количество базовых модулей.

Одновременно с разработкой семейства реконфигурируемых вычислительных систем идет создание инфраструктуры для обучения потенциальных пользователей и организации доступа к библиотекам масштабируемых IP-ядер для различных предметных областей с целью их широкого продвижения на рынке высокопроизводительной вычислительной техники. За счет использования возможностей сервисов глобальной компьютерной сети Internet будет обеспечен широкий доступ потенциальных пользователей к информационным ресурсам и программным продуктам, созданным в результате выполнения проекта.

Семейство высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой (программируемой) архитектурой на основе реконфигурируемой элементной базы является конкурентоспособной альтернативой традиционной организации многопроцессорных систем, основанных на использовании микропроцессоров в качестве основного вычислительного элемента. В выпуске подобной продукции заинтересован ряд предприятий и ведомств, но, прежде всего, - это крупные научные центры.

Практическое использование результатов проекта позволит создать семейство PBC с динамически перестраиваемой архитектурой широкого применения, превосходящих по технико-экономическим характеристикам МВС с традиционной архитектурой в сегментах рынка суперЭВМ и рабочих станций, а также ускорителей к персональному компьютеру.

Семейство PBC ориентировано на решение вычислительно трудоемких научно-технических задач в таких областях как символьная обработка информации, защита компьютерных сетей, создание принципиально новых лекарственных препаратов и материалов нового

поколения, управление в реальном масштабе времени объектами ядерной энергетики, летательными и космическими аппаратами, расшифровка структуры белка, оптимизация эксплуатации нефтяных месторождений, томографических исследований приповерхностных слоев Земли акустическими и электромагнитными волнами.

Литература

1. Аладышев О.С., Дикарев Н.И., Овсянников А.П., Телегин П.Н., Шабанов Б.М. СуперЭВМ: области применения и требования к производительности // Известия ВУЗов. Электроника, 2004. - №1. - С. 13-17.
2. Каляев А.В. Многопроцессорные вычислительные системы с программируемой архитектурой. - М.: Радио и Связь, 1984. - 240 с.
3. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. - М.: Янус-К, 2003. – 380 с.
4. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультитонвейерные вычислительные структуры. - Ростов-на-Дону: Изд-во ЮНЦ РАН, 2008. – 320 с.
5. Каляев И.А., Левин И.И. Высокопроизводительные модульно-наращиваемые многопроцессорные системы на основе реконфигурируемой элементной базы // Материалы международной научной конференции «Параллельные Вычислительные Технологии» (ПаВТ'2007). – Челябинск, 2007. «Вычислительные методы и программирование», «Вестник ЮУрГУ». – Челябинск: Изд-во ЮУрГУ, 2007. - Т.1. – С.61-72.